



İSTANBUL MEDENİYET ÜNİVERSİTESİ
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ
ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Düşük Güç Tüketimli Analog Devre Tasarımı

Yüksek Lisans Tezi

Elif Demirci

Nisan 2025



İSTANBUL MEDENİYET ÜNİVERSİTESİ
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ
ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ ANABİLİM DALI

Düşük Güç Tüketimli Analog Devre Tasarımı

Yüksek Lisans Tezi

Elif Demirci

Danışman

Dr. Öğr. Üyesi Sinem Keleş

Nisan 2025

TEZ JÜRİSİ ONAYI

Elif Demirci tarafından hazırlanan "Düşük Güç Tüketimli Analog Devre Tasarımı" başlıklı bu Yüksek Lisans Tezi, Elektrik Elektronik Mühendisliği Anabilim Dalı'nda hazırlanmış ve jürimiz tarafından kabul edilmiştir.

JÜRİ ÜYELERİ

İMZA

Tez Danışmanı:

Dr. Öğr. Üyesi Sinem Keleş
İstanbul Medeniyet Üniversitesi

Üyeler:

Dr. Öğr. Üyesi Filiz Gürkan Gölcük
İstanbul Medeniyet Üniversitesi

Dr. Öğr. Üyesi Atilla Uygur
Gebze Teknik Üniversitesi

Tez Savunma Tarihi: 22/ Nisan / 2025

BEYANLAR

Yazım ve Kaynak Gösterme Kılavuzu Beyanı

Danışmanlığımda yazılan bu tezin APA yazım ve kaynak gösterme kılavuzunda belirtilen kurallara uygun olarak yapılandırıldığı ve bu kılavuzun metin içi kaynak gösterme standartlarının bu tezde tutarlı olarak uygulandığı tarafımdan incelenerek teyit edilmiştir.

İmza

Dr. Öğr. Üyesi Sinem Keleş

Etik İlkeler Sadakat Beyanı

Hazırladığım bu tezin tamamen kendi çalışmam olduğunu, akademik ve etik kuralları gözeterek çalıştığımı ve her alıntıya kaynak gösterdiğimi beyan ederim.

İmza

Elif Demirci

ÖZET

Düşük Güç Tüketimli Analog Devre Tasarımı

Demirci, Elif Demirci

Yüksek Lisans Tezi, Elektrik Elektronik Mühendisliği Anabilim Dalı

Danışman: Dr. Öğr. Üyesi Sinem Keleş

Nisan 2025

Elektronik cihazlarda artan enerji tasarrufu talebi, kablosuz teknoloji, biyomedikal cihazlar, CMOS teknolojisinin ölçeklendirilmesine yönelik eğilimler düşük güçlü devre tasarımlarını zorunlu kılmaktadır. CMOS teknolojilerinin eşik gerilimleri düşük gerilimli analog devre tasarımında karşılaşılan zorluklardan biridir. Eşik voltajının üstesinden gelerek düşük güçlü, düşük gerilimli devre tasarlamak için uygulanan tekniklerden biri Dinamik Eşik Gerilimli MOSFET' tir. Buna ek olarak kullanılabilecek bir diğer yöntem ise Fin alan etkili (FinFET) transistördür. Bu yöntemler düşük gerilimli analog devre tasarımlarının performansını iyileştirir fakat düşük gerilimli analog devre tasarımında gerilim modlu devreler ile akım modlu devreler karşılaştırıldığında akım modlu devreler düşük güç tüketimi, geniş doğrusallık, büyük bant genişliği ve daha iyi kararlılık sunar.

Bu tez çalışmasında, düşük gerilimli ve düşük güçlü tümüyle diferansiyel girişli akım taşıyıcı (FDCCII) ve çift X-uçlu diferansiyel fark akım taşıyıcı (DXDDCC) akım modlu devre blokları önerilmiştir. FDCCII devresi $V_{X1} = V_{Y1} - V_{Y2} + V_{Y3}$, $V_{X2} = -V_{Y1} + V_{Y2} + V_{Y4}$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ bağıntılarını sağlayacak şekilde tasarlanmıştır. DXDDCC devresi ise $V_{X1} = V_{Y1} - V_{Y2} + V_{Y3}$, $V_{X2} = -V_{Y1} + V_{Y2} - V_{Y3}$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ bağıntılarını sağlayacak şekilde tasarlanmıştır. FDCCII ve DXDDCC devreleri Fin alan etkili (FinFET) transistör, MOSFET ve DTMOS transistörleri ile tasarlanmıştır. Devre tasarımında FinFET, MOSFET ve DTMOS transistörleri kullanılarak gerçekleştirilen bu akım taşıyıcıların performansları incelenmiştir. Dört bölgeli analog çarpıcı devresi, tümüyle diferansiyel girişli akım taşıyıcı devresinin bir uygulaması olarak tasarlanmıştır. KHN (Kerwin-

Huelsman-Newcomb) süzgeci ise çift X-uçlu diferansiyel fark akım taşıyıcı devresinin bir uygulaması olarak tasarlanmıştır. Tümüyle diferansiyel girişli akım taşıyıcı (FDCCII), çift X-uçlu diferansiyel fark akım taşıyıcı (DXDDCC) ve uygulama devreleri LTspice programı ile 45nm PTM teknoloji parametreleri kullanılarak benzetimi yapılmıştır.

Anahtar Kelime: Düşük Gerilim, Düşük Güç, Fin Alan Etkili Transistör (FinFET), Dinamik Eşik Gerilimli MOSFET (DTMOS), MOSFET (Metal Oksit Yarı İletken Alan Etkili Transistör)

ABSTRACT

Low Power Analog Circuit Design

Demirci, Elif Demirci

Master's Thesis, Department of Electrical and Electronics Engineering

Supervisor: Asst.Prof. Sinem Keleş

April 2025

Increasing demand for energy savings in electronic devices, wireless technology, biomedical devices, and trends towards scaling CMOS technology necessitate low-power circuit designs. Threshold voltages of CMOS technologies are one of the challenges in low voltage analog circuit design. One of the techniques applied to design a low-power, low-voltage circuit by overcoming the threshold voltage is DTMOS (Dynamic Threshold-Voltage MOSFET). In addition, another method that can be used is the FinFET transistor. These methods improve the performance of low-voltage analog circuit designs but when voltage-mode circuits are compared with current-mode circuits in low-voltage analog circuit design, current-mode circuits offer lower power consumption, wide linearity, larger bandwidth and better stability.

In this thesis, low-voltage low-power fully differential current conveyor (FDCCII) and dual-X differential difference current conveyor (DXDDCC) current mode building blocks are proposed. The FDCCII circuit is designed to satisfy the equations $V_{X1} = V_{Y1} - V_{Y2} + V_{Y3}$, $V_{X2} = -V_{Y1} + V_{Y2} + V_{Y4}$, $I_{Z1} = I_{X1} - I_{X2}$ and $I_{Z2} = I_{X2} - I_{X1}$. The DXDDCC circuit is designed to satisfy the equations $V_{X1} = V_{Y1} - V_{Y2} + V_{Y3}$, $V_{X2} = -V_{Y1} + V_{Y2} - V_{Y3}$, $I_{Z1} = I_{X1} - I_{X2}$ and $I_{Z2} = I_{X2} - I_{X1}$. FDCCII and DXDDCC circuits are designed with FinFET technology, MOSFET and DTMOS transistors. In circuit design, the performance of these current conveyors implemented using FinFET, MOSFET and DTMOS transistors has been analyzed. The four-quadrant analog multiplier circuit has been designed as an application of the fully differential current conveyor circuit.

KHN (Kerwin-Huelsman-Newcomb) filter has been designed as an application of the dual-X differential difference current conveyor circuit. FDCCII, DXDDCC and application circuits are simulated with LTspice program by using 45nm PTM technology parameters.

Keywords: Low Voltage, Low Power, Fin Field Effect Transistor (FinFET), Dynamic Threshold MOS (DTMOS), MOSFET (Metal Oxide Semiconductor Field Effect Transistor)

ÖNSÖZ

Tez çalışmasının her aşamasında bana yol gösteren ve desteğini esirgemeyen değerli hocam Dr. Öğr. Üyesi Sinem Keleş'e ve her zaman yanımda olan aileme teşekkür ederim.

Nisan 2025,

Elif Demirci

İÇİNDEKİLER

ÖNSÖZ	i
KISALTMALAR.....	ii
SİMGELER	iv
ŞEKİL LİSTESİ.....	v
1.GİRİŞ.....	1
2.DÜŞÜK GERİLİMLİ DÜŞÜK GÜÇLÜ DEVRE TASARIMI.....	5
2.1 MOSFET.....	5
2.2 DTMOS.....	5
2.2.1 SOI DTMOS.....	6
2.2.2 DTMOS Tekniği.....	6
2.3 FinFET’e Giriş	7
2.3.1 FinFET.....	8
2.3.2 FinFET Çalışma Modu	9
2.3.2.1 SG Modu.....	9
2.3.2.2 IG Modu.....	10
3.DİFERANSİYEL AKIM TAŞIYICI.....	10
3.1 MOS FDCCII	11
3.2 DTMOS FDCCII	26
3.3 FinFET FDCCII.....	40
3.4 FDCCII’lı Dört Bölgeli Çarpıcı Devreleri	55
3.4.1 MOS FDCCII’li Dört Bölgeli Çarpıcı Devresi	55
3.4.2 DTMOS FDCCII’li Dört Bölgeli Çarpıcı Devresi	57
3.4.3 FinFET FDCCII’li Dört Bölgeli Çarpıcı Devresi.....	58
3.5 MOS DXDDCC	60
3.6 DTMOS DXDDCC.....	74
3.7 FinFET DXDDCC	87
3.8 DXDDCC’li KHN Süzgeci Devreleri.....	101
3.8.1 MOS DXDDCC’li KHN Süzgeci Devresi	103
3.8.2 DTMOS DXDDCC’li KHN Süzgeci Devresi.....	104
3.8.3 FinFET DXDDCC’li KHN Süzgeci Devresi	105
4. SONUÇ	108
KAYNAKLAR	109
ÖZGEÇMİŞ	116

KISALTMALAR

CCII	İkinci Nesil Akım Taşıyıcı
CCIII	Üçüncü Nesil Akım Taşıyıcı
CVC	Current Voltage Conveyor
CFBCCII	Current Controlled Fully Balanced Second-Generation Current Conveyor
DCCII	İkinci Nesil Diferansiyel Akım Taşıyıcı
DDCC	Diferansiyel Fark Akım Taşıyıcı
DDCCC	Differential Difference Current Controlled Conveyor
DGFET	Dual-Gate Field-Effect Transistor
DTMOS	Dynamic Threshold Metal-Oxide-Semiconductor
DVCC	Diferansiyel Gerilim Akım Taşıyıcı
DXCCII	İkinci Nesil Çift-X Uçlu Akım Taşıyıcı
DXDDCC	Çift-X Uçlu Diferansiyel Fark Akım Taşıyıcı
FGMOS	Floating-Gate Metal-Oxide-Semiconductor
FinFET	Fin Alan Etkili Transistör
FDNR	Frequency Dependent Negative Resistor
GAAFET	Gate-All-Around Field-Effect Transistor
GCC	Generalized Current Conveyor
MUGFET	Multi-Gate Field-Effect Transistor
MOSFET	Metal Oksit Yarı İletken Alan Etkili Transistör
UCC	Universal Current Conveyor

SİMGELER

V_{TH}	Eşik Gerilimi
V_{FB}	Flat Band Voltage
γ	Body Effect Coeffection
Φ_F	Fermi Potansiyeli
H_{fin}	Fin Yüksekliği
ϵ_{si}	Dielectric Permittivity of Silicon
N_A	Substrate Doping
C_{ox}	Birim alan başına geçit oksidi kapasitesi

ŞEKİL LİSTESİ

Şekil 2.1: Gövdesi ve kapısı birbirine bağlanmış bir SOI NMOSFET	6
Şekil 2.2: a) DTMOS Transistör b) DTMOS sembol	6
Şekil 2.3: Çok Kapılı Alan Etkili Transistör (MUGFET) Yapıları	8
Şekil 2.4: FinFET 'in Yapısı	8
Şekil 2.5: a) Düzlemsel MOSFET yapısı b) FinFET yapısı	9
Şekil 2.6: a) N-tipi SG FinFET b) P-tipi SG FinFET	10
Şekil 2.7 a) N-tipi IG FinFET b) P-tipi IG FinFET	10
Şekil 3.1: CCII blok şeması	11
Şekil 3.2: FDCCII blok şeması	11
Şekil 3.3: Önerilen MOS FDCCII devresi	12
Şekil 3.4: Önerilen MOS FDCCII devresinin DC akım izleme eğrileri	13
Şekil 3.5: Önerilen MOS FDCCII devresinin DC akım izleme eğrileri (Step param I_{X2} - 10n 10n 5n)	14
Şekil 3.6: Önerilen MOS FDCCII devresinin V_{X1}/V_{Y1} frekans cevabı	14
Şekil 3.7: Önerilen MOS FDCCII devresinin V_{X2}/V_{Y1} frekans cevabı	15
Şekil 3.8: Önerilen MOS FDCCII devresinin V_{X1}/V_{Y2} frekans cevabı	15
Şekil 3.9: Önerilen MOS FDCCII devresinin V_{X2}/V_{Y2} frekans cevabı	16
Şekil 3.10: Önerilen MOS FDCCII devresinin V_{X1}/V_{Y3} frekans cevabı	16
Şekil 3.11: Önerilen MOS FDCCII devresinin V_{X2}/V_{Y4} frekans cevabı	17
Şekil 3.12: Önerilen MOS FDCCII devresinin I_{Z1}/I_{X1} frekans cevabı	17
Şekil 3.13: Önerilen MOS FDCCII devresinin I_{Z2}/I_{X1} frekans cevabı	18
Şekil 3.14: Önerilen MOS FDCCII devresinin I_{Z1}/I_{X2} frekans cevabı	18
Şekil 3.15: Önerilen MOS FDCCII devresinin I_{Z2}/I_{X2} frekans cevabı	19
Şekil 3.16: Önerilen MOS FDCCII devresinin $V_{X1}-V_{Y1}$ DC gerilim transfer karakteristiği	19
Şekil 3.17: Önerilen MOS FDCCII devresinin $V_{X2}-V_{Y1}$ DC gerilim transfer karakteristiği	20
Şekil 3.18: Önerilen MOS FDCCII devresinin $V_{X1}-V_{Y2}$ DC gerilim transfer karakteristiği	20
Şekil 3.19: Önerilen MOS FDCCII devresinin $V_{X2}-V_{Y2}$ DC gerilim transfer karakteristiği	21
Şekil 3.20: Önerilen MOS FDCCII devresinin $V_{X1}-V_{Y3}$ DC gerilim transfer karakteristiği	21
Şekil 3.21: Önerilen MOS FDCCII devresinin $V_{X2}-V_{Y4}$ DC gerilim transfer karakteristiği	22
Şekil 3.22: Önerilen MOS FDCCII devresinin X_1 düğümünde görülen parazitik empedans eğrisi	22
Şekil 3.23: Önerilen MOS FDCCII devresinin X_2 düğümünde görülen parazitik empedans eğrisi	23
Şekil 3.24: Önerilen MOS FDCCII devresinin Y_1 düğümünde görülen parazitik empedans eğrisi	23
Şekil 3.25: Önerilen MOS FDCCII devresinin Y_2 düğümünde görülen parazitik empedans eğrisi	24
Şekil 3.26: Önerilen MOS FDCCII devresinin Y_3 düğümünde görülen parazitik empedans eğrisi	24

Şekil 3.27: Önerilen MOS FDCCII devresinin Y_4 düğümünde görülen parazitik empedans eğrisi	25
Şekil 3.28: Önerilen MOS FDCCII devresinin Z_1 düğümünde görülen parazitik empedans eğrisi	25
Şekil 3.29: Önerilen MOS FDCCII devresinin Z_2 düğümünde görülen parazitik empedans eğrisi	26
Şekil 3.30: Önerilen DTMOS FDCCII devresi	26
Şekil 3.31: Önerilen DTMOS FDCCII devresinin DC akım izleme eğrileri	27
Şekil 3.32: Önerilen DTMOS FDCCII devresinin DC akım izleme eğrileri (Step param $I_{X2} -5n$ $5n$ $2n$)	28
Şekil 3.33: Önerilen DTMOS FDCCII devresinin V_{X1}/V_{Y1} frekans cevabı.....	28
Şekil 3.34: Önerilen DTMOS FDCCII devresinin V_{X2}/V_{Y1} frekans cevabı.....	29
Şekil 3.35: Önerilen DTMOS FDCCII devresinin V_{X1}/V_{Y2} frekans cevabı.....	29
Şekil 3.36: Önerilen DTMOS FDCCII devresinin V_{X2}/V_{Y2} frekans cevabı.....	30
Şekil 3.37: Önerilen DTMOS FDCCII devresinin V_{X1}/V_{Y3} frekans cevabı.....	30
Şekil 3.38: Önerilen DTMOS FDCCII devresinin V_{X2}/V_{Y4} frekans cevabı.....	31
Şekil 3.39: Önerilen DTMOS FDCCII devresinin I_{Z1}/I_{X1} frekans cevabı	31
Şekil 3.40: Önerilen DTMOS FDCCII devresinin I_{Z2}/I_{X1} frekans cevabı	32
Şekil 3.41: Önerilen CMOS tabanlı FDCCII devresinin I_{Z1}/I_{X2} frekans cevabı.....	32
Şekil 3.42: Önerilen DTMOS FDCCII devresinin I_{Z2}/I_{X2} frekans cevabı	33
Şekil 3.43: Önerilen DTMOS FDCCII devresinin $V_{X1}-V_{Y1}$ DC gerilim transfer karakteristiği	33
Şekil 3.44: Önerilen DTMOS FDCCII devresinin $V_{X2}-V_{Y1}$ DC gerilim transfer karakteristiği	34
Şekil 3.45: Önerilen DTMOS FDCCII devresinin $V_{X1}-V_{Y2}$ DC gerilim transfer karakteristiği	34
Şekil 3.46: Önerilen DTMOS FDCCII devresinin $V_{X2}-V_{Y2}$ DC gerilim transfer karakteristiği	35
Şekil 3.47: Önerilen DTMOS FDCCII devresinin $V_{X1}-V_{Y3}$ DC gerilim transfer karakteristiği	35
Şekil 3.48: Önerilen DTMOS FDCCII devresinin $V_{X2}-V_{Y4}$ DC gerilim transfer karakteristiği	36
Şekil 3.49: Önerilen DTMOS FDCCII devresinin X_1 düğümünde görülen parazitik empedans eğrisi	36
Şekil 3.50: Önerilen DTMOS FDCCII devresinin X_2 düğümünde görülen parazitik empedans eğrisi	37
Şekil 3.51: Önerilen DTMOS FDCCII devresinin Y_1 düğümünde görülen parazitik empedans eğrisi	37
Şekil 3.52: Önerilen DTMOS FDCCII devresinin Y_2 düğümünde görülen parazitik empedans eğrisi	38
Şekil 3.53: Önerilen DTMOS FDCCII devresinin Y_3 düğümünde görülen parazitik empedans eğrisi	38
Şekil 3.54: Önerilen DTMOS FDCCII devresinin Y_4 d düğümünde görülen parazitik empedans eğrisi	39
Şekil 3.55: Önerilen DTMOS FDCCII devresinin Z_1 düğümünde görülen parazitik empedans eğrisi	39

Şekil 3.56: Önerilen DTMOS FDCCII devresinin Z_2 düğümünde görülen parazitik empedans eğrisi	40
Şekil 3.57: Önerilen FinFET FDCCII devresi	40
Şekil 3.58: Önerilen FinFET FDCCII devresinin DC akım izleme eğrileri	41
Şekil 3.59: Önerilen FinFET FDCCII devresinin DC akım eğrileri (Step param $I_{X2} -10n$ $10n$ $5n$)	42
Şekil 3.60: Önerilen FinFET FDCCII devresinin V_{X1}/V_{Y1} frekans cevabı	42
Şekil 3.61: Önerilen FinFET tabanlı FDCCII devresinin V_{X2}/V_{Y1} frekans cevabı	43
Şekil 3.62: Önerilen FinFET FDCCII devresinin V_{X1}/V_{Y2} frekans cevabı	43
Şekil 3.63: Önerilen FinFET FDCCII devresinin V_{X2}/V_{Y2} frekans cevabı	44
Şekil 3.64: Önerilen FinFET FDCCII devresinin V_{X1}/V_{Y3} frekans cevabı	44
Şekil 3.65: Önerilen FinFET FDCCII devresinin V_{X2}/V_{Y4} frekans cevabı	45
Şekil 3.66: Önerilen FinFET FDCCII devresinin I_{Z1}/I_{X1} frekans cevabı.....	45
Şekil 3.67: Önerilen FinFET FDCCII devresinin I_{Z2}/I_{X1} frekans cevabı.....	46
Şekil 3.68: Önerilen FinFET FDCCII devresinin I_{Z1}/I_{X2} frekans cevabı.....	46
Şekil 3.69: Önerilen FinFET FDCCII devresinin I_{Z2}/I_{X2} frekans cevabı.....	47
Şekil 3.70: Önerilen FinFET FDCCII devresinin $V_{X1}-V_{Y1}$ DC gerilim transfer karakteristiği	47
Şekil 3.71: Önerilen FinFET FDCCII devresinin $V_{X2}-V_{Y1}$ DC gerilim transfer karakteristiği	48
Şekil 3.72: Önerilen FinFET FDCCII devresinin $V_{X1}-V_{Y2}$ DC gerilim transfer karakteristiği	48
Şekil 3.73: Önerilen FinFET FDCCII devresinin $V_{X2}-V_{Y2}$ DC gerilim transfer karakteristiği	49
Şekil 3.74: Önerilen FinFET FDCCII devresinin $V_{X1}-V_{Y3}$ DC gerilim transfer karakteristiği	49
Şekil 3.75: Önerilen FinFET FDCCII devresinin $V_{X2}-V_{Y4}$ DC gerilim transfer karakteristiği	50
Şekil 3.76: Önerilen FinFET FDCCII devresinin X_1 düğümünde görülen parazitik empedans eğrisi	50
Şekil 3.77: Önerilen FinFET FDCCII devresinin X_2 düğümünde görülen parazitik empedans eğrisi	51
Şekil 3.78: Önerilen FinFET FDCCII devresinin Y_1 düğümünde görülen parazitik empedans eğrisi	51
Şekil 3.79: Önerilen FinFET FDCCII devresinin Y_2 düğümünde görülen parazitik empedans eğrisi	52
Şekil 3.80: Önerilen FinFET FDCCII devresinin Y_3 düğümünde görülen parazitik empedans eğrisi	52
Şekil 3.81: Önerilen FinFET FDCCII devresinin Y_4 düğümünde görülen parazitik empedans eğrisi	53
Şekil 3.82: Önerilen FinFET FDCCII devresinin Z_1 ucundaki parazitik empedans eğrisi	53
Şekil 3.83: Önerilen FinFET FDCCII devresinin Z_2 düğümünde görülen parazitik empedans eğrisi	54
Şekil 3.84: Dört Bölgeli Çarpıcı Devresi.....	55
Şekil 3.85: Önerilen MOS FDCCII’li Dört Bölgeli Çarpıcı Devresi	56

Şekil 3.86: Önerilen MOS FDCCII'li dört bölgeli çarpıcı devresinin DC transfer karakteristik eğrileri.....	56
Şekil 3.87: Önerilen MOS FDCCII'li dört bölgeli çarpıcı devresine ait modülasyon örneği	57
Şekil 3.88: Önerilen DTMOS FDCCII'li Dört Bölgeli Çarpıcı Devresi.....	57
Şekil 3.89: Önerilen DTMOS FDCCII'li dört bölgeli çarpıcı devresinin DC transfer karakteristik eğrileri.....	58
Şekil 3.90: Önerilen DTMOS FDCCII'li dört bölgeli çarpıcı devresine ait modülasyon örneği	58
Şekil 3.91: Önerilen FinFET FDCCII'li Dört Bölgeli Çarpıcı Devresi.....	59
Şekil 3.92: Önerilen FinFET FDCCII'li dört bölgeli çarpıcı devresinin DC transfer karakteristik eğrileri.....	59
Şekil 3.93: Önerilen FinFET FDCCII'li dört bölgeli çarpıcı devresine ait modülasyon örneği	60
Şekil 3.94: DXDDCC Blok Şeması.....	60
Şekil 3.95: Önerilen MOS DXDDCC devresi	61
Şekil 3.96: Önerilen MOS DXDDCC devresinin DC akım izleme eğrileri	62
Şekil 3.97'de, önerilen MOS DXDDCC devresinin Z_1 ve Z_2 çıkış akım eğrisi görülmektedir. I_{X1} akımı -10nA ile 10nA arasında DC olarak taranmıştır. I_{X2} akım kaynağını step analizi ile -10nA ile 10nA arasında 5nA'lık artışlarla değiştirilmiştir.	62
Şekil 3.97: Önerilen MOS DXDDCC devresinin DC akım eğrileri (Step param I_{X2} -10n 10n 5n)	62
Şekil 3.98: Önerilen MOS DXDDCC devresindeki V_{X1}/V_{Y1} 'in frekans yanıtı.....	63
Şekil 3.99: Önerilen MOS DXDDCC devresine ait V_{X2}/V_{Y1} 'in frekans yanıtı.....	63
Şekil 3.100: Önerilen MOS DXDDCC devresine ait V_{X1}/V_{Y2} 'nin frekans yanıtı.....	64
Şekil 3.101: Önerilen MOS DXDDCC devresine ait V_{X2}/V_{Y2} 'nin frekans yanıtı.....	64
Şekil 3.102: Önerilen MOS DXDDCC devresine ait V_{X1}/V_{Y3} 'ün frekans yanıtı.....	65
Şekil 3.104: Önerilen MOS FDCCII devresine ait V_{X2}/V_{Y3} 'ün frekans yanıtı.....	65
Şekil 3.105: Önerilen MOS DXDDCC devresine ait I_{Z1}/I_{X1} 'in frekans yanıtı	66
Şekil 3.106: Önerilen MOS DXDDCC devresine ait I_{Z2}/I_{X1} 'in frekans yanıtı	66
Şekil 3.107: Önerilen MOS DXDDCC devresine ait I_{Z1}/I_{X2} 'nin frekans yanıtı	67
Şekil 3.108: Önerilen MOS DXDDCC devresine ait I_{Z2}/I_{X2} 'nin frekans yanıtı	67
Şekil 3.109: Önerilen MOS DXDDCC devresinin $V_{X1}-V_{Y1}$ DC gerilim transfer karakteristiği	68
Şekil 3.110: Önerilen MOS DXDDCC devresinin $V_{X2}-V_{Y1}$ DC gerilim transfer karakteristiği	68
Şekil 3.111: Önerilen MOS DXDDCC devresinin $V_{X1}-V_{Y2}$ DC gerilim transfer karakteristiği	69
Şekil 3.112: Önerilen MOS DXDDCC devresinin $V_{X2}-V_{Y2}$ DC gerilim transfer karakteristiği	69
Şekil 3.113: Önerilen MOS DXDDCC devresinin $V_{X1}-V_{Y3}$ DC gerilim transfer karakteristiği	70
Şekil 3.114: Önerilen MOS DXDDCC devresinin $V_{X2}-V_{Y3}$ DC gerilim transfer karakteristiği	70
Şekil 3.115: Önerilen MOS DXDDCC devresinin X_1 düğümünde görülen parazitik empedans eğrisi	71

Şekil 3.116: Önerilen MOS DXDDCC devresinin X_2 düğümünde görülen parazitik empedans eğrisi	71
Şekil 3.117: Önerilen MOS DXDDCC devresinin Y_1 düğümünde görülen parazitik empedans eğrisi	72
Şekil 3.118: Önerilen MOS DXDDCC devresinin Y_2 düğümünde görülen parazitik empedans eğrisi	72
Şekil 3.119: Önerilen MOS DXDDCC devresinin Y_3 düğümünde görülen parazitik empedans eğrisi	73
Şekil 3.120: Önerilen MOS DXDDCC devresinin Z_1 düğümünde görülen parazitik empedans eğrisi	73
Şekil 3.121: Önerilen MOS DXDDCC devresinin Z_2 düğümünde görülen parazitik empedans eğrisi	74
Şekil 3.122: Önerilen DTMOS DXDDCC devresi.....	74
Şekil 3.123: Önerilen DTMOS DXDDCC devresinin Z_1 ve Z_2 çıkış akım eğrisi	75
Şekil 3.124: Önerilen DTMOS DXDDCC devresinin DC akım eğrileri (Step param $I_{X2} - 10n\ 10n\ 5n$).....	76
Şekil 3.125: Önerilen DTMOS DXDDCC devresindeki V_{X1}/V_{Y1} 'in frekans yanıtı	76
Şekil 3.126: Önerilen DTMOS DXDDCC devresine ait V_{X2}/V_{Y1} 'in frekans yanıtı.....	77
Şekil 3.127: Önerilen DTMOS DXDDCC devresine ait V_{X1}/V_{Y2} 'nin frekans yanıtı.....	77
Şekil 3.128: Önerilen DTMOS DXDDCC devresine ait V_{X2}/V_{Y2} 'nin frekans yanıtı.....	78
Şekil 3.129: Önerilen DTMOS DXDDCC devresine ait V_{X1}/V_{Y3} 'ün frekans yanıtı.....	78
Şekil 3.130: Önerilen DTMOS DXDDCC devresine ait V_{X2}/V_{Y3} 'ün frekans yanıtı.....	79
Şekil 3.131: Önerilen DTMOS DXDDCC devresine ait I_{Z1}/I_{X1} 'in frekans yanıtı	79
Şekil 3.132: Önerilen DTMOS DXDDCC devresine ait I_{Z2}/I_{X1} 'in frekans yanıtı	80
Şekil 3.133: Önerilen DTMOS DXDDCC devresine ait I_{Z1}/I_{X2} 'nin frekans yanıtı	80
Şekil 3.134: Önerilen DTMOS DXDDCC devresine ait I_{Z2}/I_{X2} 'nin frekans yanıtı	81
Şekil 3.135: Önerilen DTMOS DXDDCC devresinin $V_{X1}-V_{Y1}$ DC gerilim transfer karakteristiği	81
Şekil 3.136: Önerilen DTMOS DXDDCC devresinin $V_{X2}-V_{Y1}$ DC gerilim transfer karakteristiği	82
Şekil 3.137: Önerilen DTMOS DXDDCC devresinin $V_{X1}-V_{Y2}$ DC gerilim transfer karakteristiği	82
Şekil 3.138: Önerilen DTMOS DXDDCC devresinin $V_{X2}-V_{Y2}$ DC gerilim transfer karakteristiği	83
Şekil 3.139: Önerilen DTMOS DXDDCC devresinin $V_{X1}-V_{Y3}$ DC gerilim transfer karakteristiği	83
Şekil 3.140: Önerilen DTMOS DXDDCC devresinin $V_{X2}-V_{Y3}$ DC gerilim transfer karakteristiği	84
Şekil 3.141: Önerilen DTMOS DXDDCC devresinin X_1 düğümünde görülen parazitik empedans eğrisi	84
Şekil 3.142: Önerilen DTMOS DXDDCC devresinin X_2 düğümünde görülen parazitik empedans eğrisi	85
Şekil 3.143: Önerilen DTMOS DXDDCC devresinin Y_1 düğümünde görülen parazitik empedans eğrisi	85
Şekil 3.144: Önerilen DTMOS DXDDCC devresinin Y_2 düğümünde görülen parazitik empedans eğrisi	86

Şekil 3.145: Önerilen DTMOS DXDDCC devresinin Y_3 düğümünde görülen parazitik empedans eğrisi	86
Şekil 3.146: Önerilen DTMOS DXDDCC devresinin Z_1 düğümünde görülen parazitik empedans eğrisi	87
Şekil 3.147: Önerilen DTMOS DXDDCC devresinin Z_2 düğümünde görülen parazitik empedans eğrisi	87
Şekil 3.148: Önerilen FinFET DXDDCC devresi	88
Şekil 3.149: Önerilen FinFET DXDDCC devresinin DC akım izleme eğrileri	89
Şekil 3.150: Önerilen FinFET DXDDCC devresinin DC akım izleme eğrileri (Step param $I_{X2} - 10n$ $10n$ $5n$)	89
Şekil 3.151: Önerilen FinFET DXDDCC devresindeki V_{X1}/V_{Y1} 'in frekans yanıtı	90
Şekil 3.152: Önerilen FinFET DXDDCC devresine ait V_{X2}/V_{Y1} 'in frekans yanıtı	90
Şekil 3.153: Önerilen FinFET DXDDCC devresine ait V_{X1}/V_{Y2} 'nin frekans yanıtı	91
Şekil 3.154: Önerilen FinFET DXDDCC devresine ait V_{X2}/V_{Y2} 'nin frekans yanıtı	91
Şekil 3.155: Önerilen FinFET DXDDCC devresine ait V_{X1}/V_{Y3} 'ün frekans yanıtı	92
Şekil 3.156: Önerilen FinFET DXDDCC devresine ait V_{X2}/V_{Y3} 'ün frekans yanıtı	92
Şekil 3.157: Önerilen FinFET tabanlı DXDDCC devresine ait I_{Z1}/I_{X1} 'in frekans yanıtı..	93
Şekil 3.158: Önerilen FinFET DXDDCC devresine ait I_{Z2}/I_{X1} 'in frekans yanıtı.....	93
Şekil 3.159: Önerilen FinFET DXDDCC devresine ait I_{Z1}/I_{X2} 'nin frekans yanıtı.....	94
Şekil 3.160: Önerilen FinFET DXDDCC devresine ait I_{Z2}/I_{X2} 'nin frekans yanıtı.....	94
Şekil 3.161: Önerilen FinFET DXDDCC devresinin $V_{X1}-V_{Y1}$ DC gerilim transfer karakteristiği	95
Şekil 3.162: Önerilen FinFET DXDDCC devresinin $V_{X2}-V_{Y1}$ DC gerilim transfer karakteristiği	95
Şekil 3.163:	96
Şekil 3.164: Önerilen FinFET DXDDCC devresinin $V_{X2}-V_{Y2}$ DC gerilim transfer karakteristiği	96
Şekil 3.165: Önerilen FinFET DXDDCC devresinin $V_{X1}-V_{Y3}$ DC gerilim transfer karakteristiği	97
Şekil 3.166: Önerilen FinFET DXDDCC devresinin $V_{X2}-V_{Y3}$ DC gerilim transfer karakteristiği	97
Şekil 3.167: Önerilen FinFET DXDDCC devresinin X_1 düğümünde görülen parazitik empedans eğrisi	98
Şekil 3.168: Önerilen FinFET DXDDCC devresinin X_2 düğümünde görülen parazitik empedans eğrisi	98
Şekil 3.169: Önerilen FinFET DXDDCC devresinin Y_1 düğümünde görülen parazitik empedans eğrisi	99
Şekil 3.170: Önerilen FinFET DXDDCC devresinin Y_2 düğümünde görülen parazitik empedans eğrisi	99
Şekil 3.171: Önerilen FinFET DXDDCC devresinin Y_3 düğümünde görülen parazitik empedans eğrisi	100
Şekil 3.172: Önerilen FinFET DXDDCC devresinin Z_1 düğümünde görülen parazitik empedans eğrisi	100
Şekil 3.173: Önerilen FinFET DXDDCC devresinin Z_2 düğümünde görülen parazitik empedans eğrisi	100
Şekil 3.174: DXDDCC'li KHN Süzgeci Devresi.....	102
Şekil 3.175: Önerilen MOS DXDDCC'li KHN Süzgeci Devresi	103

Şekil 3.176: Önerilen MOS DXDDCC'li KHN Süzgecinin AG, BG, YG karakteristikleri	103
Şekil 3.177: Önerilen MOS DXDDCC'li KHN süzgecinin transient yanıtı	104
Şekil 3.178: Önerilen DT MOS DXDDCC'li KHN Süzgeci Devresi.....	104
Şekil 3.179: Önerilen DT MOS DXDDCC'li KHN Süzgecinin AG, BG, YG karakteristikleri	105
Şekil 3.180: Önerilen DT MOS DXDDCC'li KHN süzgecinin transient yanıtı.....	105
Şekil 3.181: Önerilen FinFET DXDDCC'li KHN Süzgeci Devresi	106
Şekil 3.182: Önerilen FinFET DXDDCC'li KHN Süzgecinin AG, BG, YG karakteristikleri	106
Şekil 3.183: FinFET DXDDCC'li KHN süzgecinin transient yanıtı	107

TABLO LİSTESİ

Tablo 3.1: Önerilen MOS FDCCII Devresindeki MOSFET’lerin Boyutlandırılması	13
Tablo 3.2: Önerilen DTMOS FDCCII Devresindeki DTMOS’ların Boyutlandırılması..	27
Tablo 3.3: Önerilen FinFET FDCCII Devresindeki FinFET’lerin Boyutlandırılması	41
Tablo 3.4: Önerilen MOS FDCII, DTMOS FDCCII ve FinFET FDCCII Devrelerinin Karşılaştırılması	54
Tablo 3.5: Önerilen MOS DXDDCC Devresindeki MOSFET’lerin Boyutlandırılması..	61
Tablo 3.6: Önerilen DTMOS DXDDCC Devresindeki DTMOS’ların Boyutlandırılması	75
Tablo 3.7: FinFET DXDDCC Devresindeki FinFET’lerin Boyutlandırılması	88
Tablo 3.8: Önerilen MOS DXDDCC, DTMOS DXDDCC ve FinFET DXDDCC Devrelerinin Karşılaştırılması.....	101

1.GİRİŞ

Son yıllarda taşınabilir elektronik cihazlara, kablosuz teknolojiye olan talebin artmasıyla düşük gerilimli düşük güç tüketen devrelerin tasarlanmasına yönelik çalışmalar kaçınılmaz bir konu haline gelmektedir. Elektronik cihazlarda enerji tasarrufu ve taşınabilirlik gereksinimine, pille çalışan ekipmanların pil ömrünün uzatılmasına, CMOS teknolojisinin ölçeklenmesine ve çip üzerindeki bileşenlerin yoğunluğunun arttırılmasına yönelik eğilimler düşük gerilimle çalışan devre tasarımlarını zorunlu hale getirmektedir.

CMOS teknolojilerinin eşik gerilimleri düşük gerilimli analog devre tasarımında karşılaşılan temel zorluklardan biridir. Çünkü CMOS teknolojisinin kanal uzunlukları azaldıkça cihazın tutarlılığını sağlamak için devreye uygulanan besleme gerilimi de azaltılır fakat eşik gerilimi besleme gerilimiyle aynı oranda azalmamaktadır (Rajput & Jamuar, 2002). CMOS transistörlerin kanal uzunluğunun azalmasıyla daha az güç tüketen, daha iyi performansa sahip cihazlar üretilebilir. Fakat transistörlerin nano boyutta ölçeklendirilmesiyle oluşan kısa kanal etkileri (SCE) transistörlerin performansını ve güvenilirliğini olumsuz etkiler. Kısa kanal etkilerini artması daha az drain akımı ve bununla beraber daha düşük hız, daha fazla sızıntı, dolayısıyla artan güç tüketimi, daha yavaş anahtarlama hızı, daha yüksek DIBL'ye sahip olmaları ve bu nedenle eşik altı sızıntının artmasına neden olur.

Düşük gerilimli analog devre tasarımındaki bu sorunları çözmek için birçok yöntem kullanılmaktadır:

- Gövdeden Sürülen MOS (BD-MOS)
- Yüzen Geçit MOS (FGMOS)
- Dinamik Eşik Gerilimli MOS (DTMOS)
- Gövdeden Sürülen Yüzen Geçit MOS (Bulk-Driven Floating-Gate MOS, BD-FGMOS)
- (Quasi) FGMOS (QFGMOS)

Bu yöntemler düşük gerilimli analog devre tasarımlarının performansını iyileştirir fakat düşük gerilimli analog devre tasarımında gerilim modlu devreler akım modlu devrelere göre daha fazla sınırlanamaya sahip olduğu için akım modlu devreler tercih edilmektedir. Çünkü akım modlu devreler düşük güç tüketimine, geniş doğrusallığa, büyük bant genişliğine, daha iyi kararlılığa ve daha az parazit hassasiyete sahiptir.

1968 yılında birinci nesil akım taşıyıcı ilk kez Sedra ve Smith tarafından tanıtılmıştır (Sedra & Smith, 1968). 1970 yılında yine Sedra ve Smith tarafından daha çok yönlü ikinci nesil akım taşıyıcı (CCII) tanıtılmıştır (Sedra & Smith, 1968). 1970 yılında başka bir makalede Sedra ve Smith tarafından Chua ailesindeki yeni doğrusal olmayan ağ elemanlarının gerçekleştirilmesinde ikinci nesil akım taşıyıcıların (CCII) kullanımı gösterilmiştir. Yenilikçi devre tasarımıyla ikinci nesil akım taşıyıcıların olabilecek en az sayıda pasif elemanla Chua ailesindeki yeni doğrusal olmayan ağ elemanlarını gerçekleştirmek için yararlı yapı taşları olduğu gösterilmiştir. (Sedra & Smith, 1970).

1973 yılında Soliman tarafından CCII kullanılarak tüm geçiren filtre devresi gerçekleştirilmiştir. Bu tasarımda bobin kullanılmamıştır. Pasif devre elemanlarından direnç ve kondansatör kullanılmıştır (Soliman, 1973).

1978 yılında Bakhtiyar ve Aronhime tarafından beş tane operasyonel yükselteç (Op-Amp) ve dirençler kullanılarak ikinci nesil akım taşıyıcısı (CCII) gerçekleştirilmiştir (Bakhtiyar & Aronhime).

1980 yılında Raj Senani tarafından bir tane Op-Amp, bir tane OTA (Operasyonel Transkonduktans Yükselteci) ve iki direnç kullanılarak CCI+, CCI-, CCII+ ve CCII- olmak üzere 4 farklı akım taşıyıcı türünü uygulayabilen bir devre önerilmiştir (Senani, 1980).

1981 yılında Filanovsky ve Stromsmoe tarafından, akım- gerilim taşıyıcısı (CVC) adı verilen yeni bir devre elemanı tanıtılmıştır. Bu yeni devrenin çalışma prensipleri ve özellikleri açıklanmıştır (Filanovsky & Stromsmoe, 1981).

1984 yılında Patranabis ve Ghosh tarafından akım taşıyıcı ve admitanslardan oluşan integral ve türev alıcı devreleri önerilmiştir (Patranabis & Ghosh, 1981).

1991 yılında Toumazou vd. tarafından OFC önerilmiştir. Bu yapı kapalı döngü akım taşıyıcı ve yükselteçlerin tasarlanmasına olanak tanır. Bu yeni yapının monolitik entegrasyona uygun olduğu ve devrenin hem yüksek kazanç hem de geniş bir bant genişliğini aynı anda sağlayabildiği gösterilmiştir (Toumazou et al., 1991).

1995 yılında Fabre tarafından üçüncü nesil akım taşıyıcı (CCIII) olarak adlandırılan yeni bir akım taşıyıcı önerilmiştir (Fabre, 1995).

1996 yılında Chiu vd. tarafından diferansiyel fark akım taşıyıcı (DDCC) adı verilen yeni çok yönlü bir yapı bloğunu tanıtılmıştır. Kare ve karekök alıcı gibi doğrusal olmayan fonksiyonel devrenin gerçekleştirilmesinde yararlı olduğu gösterilmiştir (Chiu et al., 1996).

1997 yılında Elwan ve Soliman tarafından ikinci nesil akım taşıyıcısının uzantısı olan diferansiyel gerilim akım taşıyıcı (DVCC) tanıtılmıştır fakat 1989 yılında K.Pal tarafından diferansiyel gerilim akım taşıyıcıdan bahsedilmiştir (Elwan & Soliman, 1997).

1998 yılında Soliman tarafından, geliştirilmiş gerilim taşıyıcı (GVC) ve geliştirilmiş akım taşıyıcı (GCC) olarak adlandırılan iki yeni yapı tanıtılmıştır (Soliman, 1998).

1999 yılında Acar ve Özoğuz akım farklılaştırıcı tamponlu amplifikatör (CDBA) adı verilen çok yönlü bir aktif devre elemanını önermişlerdir. Uygulama olarak n'inci dereceden CDBA tabanlı voltaj modu filtrelerinin üretilmesi için basit bir sentez prosedürü sunulmuştur (Acar & Özoğuz, 1999).

2000 yılında Adawy vd. tarafından tümüyle diferansiyel girişli akım taşıyıcı (FDCCII) olarak adlandırılan yeni devre elemanı tanıtılmıştır. Bu yapı tam diferansiyel sinyal işleme gereksinimlerini karşılamak ve karma modlu uygulamalarda dinamik aralığı artırmak amacıyla geliştirilmiştir. Önerilen devre $\pm 1.5V$ besleme gerilimine ve yaklaşık 10 MHz bant genişliğine sahiptir (Adawy et al., 2000).

2000 yılında Becvar vd. tarafından üç tane yüksek empedanslı giriş terminaline, bir tane düşük empedanslı X girişine ve dört tane akım çıkışına sahip olan evrensel akım taşıyıcı (UCC) olarak adlandırılan yeni aktif blok elemanı tanıtılmıştır (Becvar et al., 2000).

2003 yılında Ali Zeki ve Ali Toker, çift-X uçlu akım taşıyıcı (DXCCII) adını verdikleri yeni bir yapı taşı tanıtılmışlardır. Bu yapı sayesinde gerekli aktif elemanların ve MOSFET dirençlerinin sayısı önemli ölçüde azaltılmıştır. DXCCII tabanlı akım modlu Tow-Thomas filtresi ve DXCCII tabanlı akım modlu sinüzoidal osilatör olmak üzere iki uygulama devresine yer verilmiştir (Zeki & Toker, 2003).

2005 yılında Sinem Çiftçioğlu vd. tarafından yüksek performanslı yeni CMOS tabanlı diferansiyel akım taşıyıcı (DCCII) önerilmiştir. Önerilen DCCII, geniş bant genişliği özelliğine sahip kullanışlı bir analog yapı taşıdır. Önerilen diferansiyel akım taşıyıcı kullanılarak dört bölgeci akım çarpıcı ve karışık modlu ikinci dereceden bant geçiren filtre devresi sunulmuştur (Çiftçioğlu et al., 2005).

2006 yılında G. Ferri vd. tarafından iyileştirilmiş ikinci nesil diferansiyel akım taşıyıcıları (DCCII) ve MOS Direnç Devreleri kullanan ikinci dereceden çok çıkışlı bir filtrenin tasarımı sunulmuştur. Filtre devresi alçak geçiren, yüksek geçiren ve bant geçiren ve tüm geçiren fonksiyonlarını gerçekleştirmektedir. Önerilen filtre devresi $\pm 1.5V$ besleme gerilimine ve $800\mu W$ güç tüketimine sahiptir (Ferri et al., 2006).

2010 yılında F. Kacar vd. tarafından yüksek performanslı yeni CMOS tabanlı çift-X uçlu ikinci nesil akım taşıyıcı (DXCCII) devresi sunulmuştur. DXCCII devresi yüksek doğrusal performansa ve Z terminallerinde yüksek çıkış empedansına sahiptir. Çalışmada minimum sayıda aktif ve pasif eleman bileşeni kullanan ayarlanabilir ve kayıpsız bir FDNR devresi önerilmiştir. Önerilen devrede 1 adet DXDDCCII ve üç adet pasif devre elemanı kullanılmıştır. (Kacar et al., 2010).

2010 yılında Chunhua vd. yeni bir eleman olan akım kontrollü tam dengeli ikinci nesil akım taşıyıcı (CFBCCII) devresi tanıtılmıştır. Çok döngülü geri beslemeli akım modlu dengeli filtre tasarlanmanın bir yöntemi önerilmiştir. Önerilen n'inci dereceden filtreler, n adet CFBCCII ve $2n$ topraklanmış kapasitörden oluşmaktadır. Devrede direnç kullanılmasına gerek duyulmamıştır (Chunhua et al., 2010).

2012 yılında B. Metin vd. tarafından akım farkı kapasitesine sahip CMOS tabanlı diferansiyel akım taşıyıcı (DCCII) devresi önerilmiştir. Önerilen birinci dereceden tüm geçiren filtre devresi DCCII, iki direnç ve topraklanmış kapasitörden oluşmaktadır (Metin et al., 2012).

2013 yılında B. Metin, N. Herencsar ve J. Koton tarafından yüksek performanslı yeni bir endüktans simülatör devresi önerilmiştir. Önerilen endüktans simülatör devresi bir adet DCCII, bir adet kapasitör ve iki adet dirençten oluşmaktadır. Beşinci dereceden frekans filtresi ile önerilen endüktans simülatör devresinin işlevselliği test edilmiştir (Metin et al., 2013).

2014 yılında M. Kumngern ve F. Khateb tarafından düşük gerilim ve düşük güç tüketimine sahip gövde kontrollü yarı yüzer kapı diferansiyel ikinci nesil akım taşıyıcı (BD-QFG DCCII) sunulmuştur. Önerilen devrede $0.18\mu m$ TSMC CMOS parametresi kullanılmıştır. Devre $\pm 0.25V$ besleme gerilimine ve $16.1\mu W$ güç tüketimine sahiptir (Kumngern & Khateb, 2014).

2016 yılında E. Arslan vd. tarafından düşük voltajlı düşük güçlü ve yüksek performanslı CMOS tabanlı ikinci nesil diferansiyel akım taşıyıcı (DCCII) devresi önerilmiştir. Önerilen devrede AMS 0.35µm CMOS gerçek proses parametreleri kullanılmıştır. Devre $\pm 1.25V$ besleme gerilimine ve 1.3mW güç tüketimine sahiptir. Önerilen CMOS tabanlı DCCII devresinin uygulama örnekleri arasında akım ve gerilim modlu birinci dereceden tüm geçiren filtre devreleri ele alınmıştır (Arslan et al., 2016).

2020 yılında Sinem Keleş ve Fatih Keleş tarafından yüzer kapı metal oksit yarı iletken (FGMOS) tabanlı yeni dört bölgeli analog çarpıcı devresi önerilmiştir. Önerilen devre düşük voltaj ve düşük güç tüketimiyle geniş doğrusal aralığı sunmaktadır. Önerilen çarpan devresi 0.25V besleme gerilimine, 26.2nW güç tüketimine ve 52.5MHz bant genişliğine sahiptir (Keleş & Keleş, 2020).

2024 yılında Sinem Keleş ve Fatih Keleş tarafından FGMOS tabanlı düşük voltaj düşük güç geniş aralıklı tümüyle diferansiyel fark akım taşıyıcı (FDCCII) önerilmiştir. Önerilen FGMOS tabanlı FDDCCII devresi MOS tabanlı FDDCCII devresiyle karşılaştırıldığında FGMOS tabanlı FDDCCII devresi öngörülen iyileştirmeleri sağladığı gözlemlenmiştir. Önerilen FGMOS tabanlı tümüyle diferansiyel fark akım taşıyıcı devresi (FDDCCII) devresindeki güç tüketimi 375nW'tur. Uygulama devresi olarak tam diferansiyel fark akım taşıyıcı devresi ile entegreör ve bant geçiren filtre devresi sunulmuştur (Keleş & Keleş, 2024).

İkinci nesil akım taşıyıcı giriş terminallerinden sadece birinin yüksek empedans seviyesine sahip olması diferansiyel sinyallerin işlenmesi gerektiren uygulamalarda sorun olabilir. FDCCII ikinci nesil akım taşıyıcının performansını arttırmak için geliştirilmiş yapı bloklarından biridir. FDCCII tam diferansiyel sinyal işleme gereksinimlerini karşılamak ve karma modlu uygulamalarda dinamik aralığı artırmak amacıyla geliştirilmiştir. DDCC ve DXCCII devrelerinin avantajlarını bir araya getiren DXDDCC ise aritmetik sinyal işleme ve elektronik olarak ayarlanabilme özellikleriyle CCII'nın performansını arttıran yapı bloğudur.

Bu çalışmada düşük gerilimli düşük güçlü FDCCII ve DXDDCC devrelerin elde edilmesi amaçlanmaktadır. Bu kapsamda MOSFET, DTMOS ve FinFET teknolojileri kullanılarak FDCCII ve DXDDCC devrelerinin tasarımı gerçekleştirilecek ve performansları karşılaştırılacaktır. FDCCII ve DXDDCC devrelerinde kullanılacak olan 45nm NMOS, 45nm PMOS, 45nm DGNMOS ve 45nm DGPMOS transistörlerinin parametre verileri PTM (Predictive Technology Model) sitesinden alınmıştır (<https://ptm.asu.edu/>).

Tezin ikinci bölümünde MOSFET, DTMOS ve FinFET transistörlerinden bahsedilmiştir. Üçüncü bölümünde ise önerilen FDCCII ve DXDDCC devrelerine ve bu devrelerin uygulama devrelerine yer verilmiştir. Benzetim sonuçları tablo halinde sunulmuştur. Dördüncü bölümde ise kısa bir değerlendirmeye yapılarak tez sonlandırılmıştır.

2.DÜŞÜK GERİLİMLİ DÜŞÜK GÜÇLÜ DEVRE TASARIMI

2.1 MOSFET

Yüksek hızlı cihazlara ve çok büyük ölçekli entegre devrelere olan ilginin artması transistörlerin küçültmelerine yol açmaktadır. Metal oksit yarı iletken alan etkili transistörlerinin (MOSFET) boyutlarının küçültülmesiyle yüksek hız, düşük güç tüketimi, düşük maliyetli devre tasarımı avantajları elde edilir fakat nano ölçekli transistörlerde genel performansı bozan kısa kanal etkileri ortaya çıkar. Kısa kanal etkileri arasında drain kaynaklı bariyer düşürme, delme etkisi, yüzey saçılması ve hız doygunluğu yer alır.

Kısa kanallı cihazlarda kaynak-kanal bölgesindeki potansiyel geçit gerilimi ve drain gerilimiyle belirlenir. Bariyer potansiyelini azaltan kanal üzerinde savak geriliminin güçlü bir etkisi vardır ve geçit voltajı eşik voltajından çok daha düşük olsa bile savaktan kaynağa akım akışı olur. Geçit kanal üzerindeki kontrolünü kaybeder. Bu etkiye drain kaynaklı bariyer düşürme (DIBL) denir. Kısa kanal uzunluğu sebebiyle savak ve kaynağın tükenme bölgeleri birleştirilmesine ise delme etkisi denir. Delme etkisi transistörün açılmasına neden olur ve cihaz sonunda kullanılamaz hale gelir.

Kısa kanallı cihazlarda kaynak ile savak arasındaki uzunlamasına elektrik alan artar. Taşıyıcı hızının davranışı elektrik alan göre değişir. Düşük elektrik alanında, hız-alan ilişkisi yaklaşık olarak doğrusaldır ve bu hız alan ilişkisi 104 V/cm'lik alan değerine kadar korunur. Bu değerden sonra hız elektrik alanına göre çok yavaş artış göstererek doyuma ulaşır. Bu doygunluk, yüksek elektrik alanlarında artan saçılma oranıyla açıklanmaktadır. I_{DS} artık V_{GS} 'nin ikinci dereceden bir fonksiyonu değildir. $V_{GS} - V_{TH}$ ile doğrusal olarak artar. Kısa kanallı cihazlarda boyuna elektrik alan bileşeni artar. Yüzey hareketliliği elektrik alana bağlıdır. Yüzey saçılması nedeniyle hareketlilik çok büyük ölçüde azalır. Bu durum cihazın çalışma hızını olumsuz etkiler.

MOSFET'in nano ölçekte boyutlandırılmasıyla genel performansı bozan kısa kanal etkileri ortaya çıkar. Kısa kanal etkilerinin üstesinden gelmek için çok kapılı alan etkili transistör çeşitlerinden biri olan FinFET ve küçük eşik altı salınım ve geliştirilmiş kısa kanal etkisi gibi birçok özelliğiyle öne çıkan DTMOS transistörlerine yer verilmiştir.

2.2 DTMOS

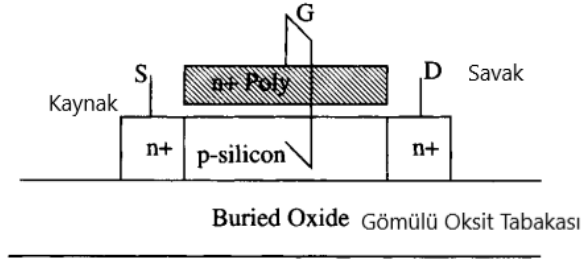
MOSFET'lerin üretiminden günümüze kadar olan süreçte kanal uzunluğunun azaltılması için çalışmalar yapılmaktadır. Bunun sebebi kanal uzunluğunun azalmasıyla daha az güç tüketen, daha hızlı, daha iyi performansa sahip cihazlar üretmektir. Transistörlerin kanal uzunlukları azaldıkça cihazın güvenilirliğini sağlamak için devreye uygulanan besleme gerilimi de azaltılır. Gürültü marjı ve kaçak akımlar üzerindeki yüksek etkisi nedeniyle eşik gerilimi besleme gerilimiyle aynı oranda azalmamaktadır (Rajput & Jamuar, 2002). Bu sorunu çözüm olarak 1994 yılında düşük besleme geriliminde mükemmel eşik altı özellikleri elde etmek amacıyla DTMOS (dinamik eşik voltajlı metal oksit transistörü) tanıtılmıştır (Assederaghi et al., 1994).

MOSFET'in direnç veya doyum bölgelerinde çalışabilmesi için geçit ve kaynak terminalleri arasında uygulanan gerilim eşik gerilim değerinden yüksek olmalıdır. Devre tasarımında kullanılan DTMOS transistörü aynı çalışma bölgelerine daha düşük geçit voltajıyla ulaşılmasına izin vererek üstün performans elde etmek amacıyla uygulanır (Voldman, 2015; Sivaram et al., 2002; Mahmoud et al., 2019; Junior et al., 2022).

DTMOS temel formunda kullanıldığında kapı girişi yaklaşık bir diyot voltajıyla sınırlandırılmalıdır aksi takdirde kaynak-gövde PN bağlantısının ileri yönde polarizasyonu büyük bir kaçak akım oluşmasına neden olur. (Assaderaghi, 2000).

2.2.1 SOI DTMOS

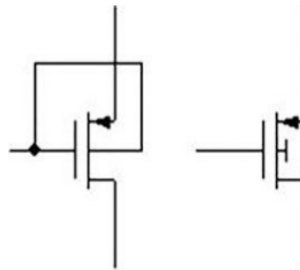
Şekil 2.1'de gösterilen DTMOS cihazında gövde ve geçit bağlanmıştır. Bu teknik standart SOI MOSFET'lerde bir DTMOS cihazı oluşturmak için kullanılır (Colinge, 1991). DTMOS, standart SOI PD CMOS işlemi kullanılarak üretilir.



Şekil 2.1: Gövdesi ve kapısı birbirine bağlanmış bir SOI NMOSFET

2.2.2 DTMOS Tekniği

Düşük güçlü ve düşük gerilimli analog devre tasarımında kullanılan tekniklerden biri de devre tasarımında DTMOS transistörlerin kullanılmasıdır. DTMOS düşük voltajlı, düşük güçlü ve düşük sızıntılı bir transistördür. Dinamik eşik voltajlı metal oksit transistörünün geçit ve gövdesi transistörün eşik voltajını dinamik olarak değiştirmek için bağlanır. Şekil 2.1'de DTMOS transistörü ve sembolüne yer verilmiştir.



Şekil 2.2: a) DTMOS Transistör b) DTMOS sembol

Transistörün eşik voltajı (V_{TH}) aşağıda verilmiştir.

$$V_{TH} = V_{TO} + \gamma(\sqrt{-2\Phi_F + V_{SB}} - \sqrt{|2\Phi_F|}) \quad (2.1)$$

V_{TO} , V_{SB} Sıfır olduğunda eşik voltajı, γ vücut etkisi katsayısı (body effect coefficient), Φ_F Fermi potansiyelidir.

V_{TO} , aşağıda verilmiştir.

$$V_{TO} = V_{FB} + \gamma\sqrt{2\Phi_F + 2\Phi_F V_{FB}} \quad (2.2)$$

V_{FB} , düz bant voltajıdır. Body etkisi katsayısı (γ) aşağıda verilen denklem (2.3) ile verilmiştir.

$$\gamma = \sqrt{\frac{2q\epsilon_{si} N_A}{C_{ox}}} \quad (2.3)$$

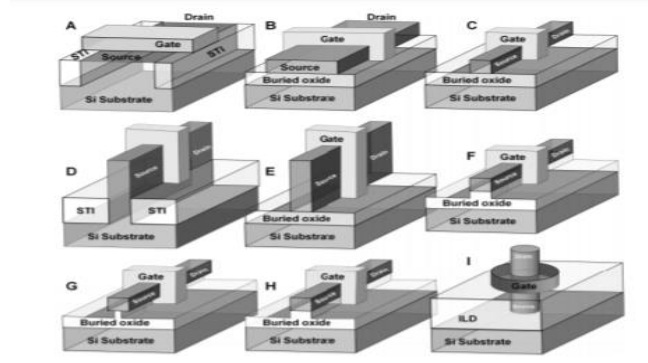
ϵ_{si} Silikonun dielektrik geçirgenliği, N_A substrat katkısı, C_{ox} ise oksit kapasitördür.

Cihazda kapı voltajı arttıkça eşik voltajı (V_{TH}) düşer ve bu da standart MOSFET'ten çok daha yüksek akım sürme kapasitesi sağlar. Transistör kapalı durumdayken yüksek eşik voltajına sahip cihaz gibi davranır ve sızıntı akımının azaltır.

V_{GS} sıfıra eşit olduğunda eşik voltajı (V_{TH}) yüksektir ve sızıntı akımı azalır. V_{GS} besleme gerilimine (V_{DD}) eşit olduğunda eşik voltajı (V_{TH}) düşüktür ve yüksek hıza sahiptir.

2.3 FinFET'e Giriş

MOSFET'lerin üretiminden günümüze kadarki süreçte sürekli olarak kanal uzunluğunun azaltılması için çalışmalar yapılmaktadır. Kanal uzunluğunun azaltılmasıyla daha iyi performansa sahip, daha az güç tüketen kompakt ve yüksek hızlı cihazlar üretilmesi amaçlanmıştır fakat MOSFET'lerin boyutlarının küçülmesi kısa kanal etkilerinin yükselmesine ve cihazın performansının azalmasına neden olur (Taur & Ning, 2021; Lawrence & Rubia, 2015). Kanal uzunluğunun azalması kaynak ve savak arasındaki uzaklığın azalmasına neden olur ve bu durum geçit elektrotunun kanalı kontrol etme kapasitesini azaltır. Geçit terminalinin kanal üzerinde tam kontrolünü sağlamak için MUGFET adlı yeni MOSFET sınıfı önerilmiştir (Colinge, 2008). Geleneksel tek kapılı MOSFET'lere kıyasla performansı değiştiren DGFET (Çift Kapılı Alan Etkili Transistör), FinFET (Fin Field-Effect Transistor), TGFET (Üç kapılı Alan Etkili Transistör), GAAFET (Çok Yönlü Alan Etkili Transistör), çok kapılı transistörlere örnek olarak gösterilir. MUGFET transistörler kanalın her yerinde sürekli bir elektrik alanı oluşturarak kanal bölgesindeki yük taşıyıcıların sadece geçit terminalinin etkisi altında kalmasını sağlarlar. Kanalın kontrolü ile kısa kanal etkilerini ve kaçak akım azaltır.



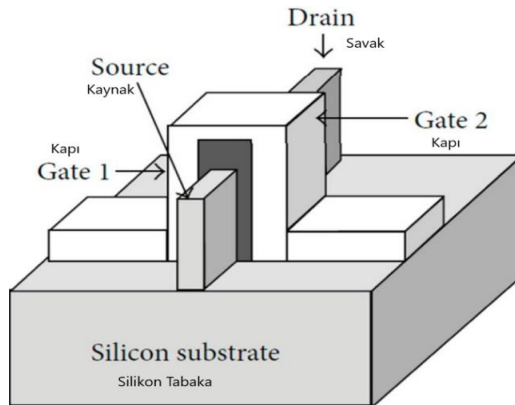
Şekil 2.3: Çok Kapılı Alan Etkili Transistör (MUGFET) Yapıları

FinFET, çok kapılı alan etkili transistör çeşididir. Her iki kapı terminali bağımsız olarak veya aynı anda kontrol edilebildiğinden, kaçak akımı ve güç tüketimini azaltıp genel performansı arttıran, kısa kanal etkilerini azaltan, transistörün boyutunun küçülmesiyle daha yüksek çalışma hızına sahip transistörlerdir (Hisamoto et al., 2000; Sairam et al., 2007; Pal et al., 2017).

2.3.1 FinFET

FinFET, bir alt tabaka üzerine inşa edilmiş kaynak ve savak arasındaki kapı ile tamamen örtülmüş olan düzlemsel olmayan bir transistördür. Kaynak/savak bölgesinin silikon yüzeyinde fin oluşturması nedeniyle FinFET adını almıştır. Şekil 2.4'te kapının kanadın silikon yan duvarları boyunca kanalı kontrol ettiği üç boyutlu (3D) FinFET yapısını göstermektedir. FinFET'lerde silikon gövde iki kapı, üç kapı veya dört kapı ile kontrol edilebilir.

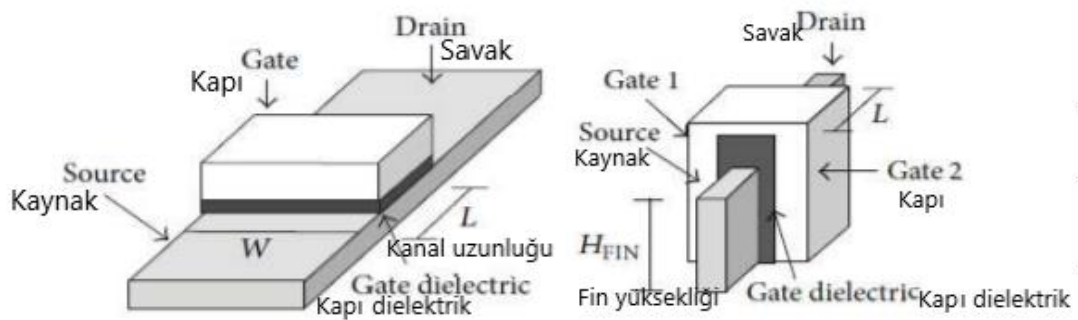
MOSFET'ten farklı olarak kapı FinFET cihazının gövdesini oluşturan ince bir kanatçık etrafına sarılmıştır. Kapının sarmal yapıya sahip olması kanal üzerindeki geçit kontrolünü iyileştirir ve böylece kısa kanal etkilerini ve kaçak akımı azaltır. Çünkü MOSFET'teki tek kapı, kaynak savak kanalını kontrol eder ve böylece geçit yanındaki kanal yüzeyinden uzakta iyi bir elektrostatik alan kontrolüne sahip değildir. Bu durumda geçit kapalı durumda olsa bile kaynak ve savak arasında kaçak akım üretilir. FinFET 'teki yapıda ise transistör kanalı geçit ile kaynak ve savak arasındaki kanalı tamamen sardığı ince bir dikey kanatçıktır. Kanalın etrafını saran geçidin iletken kanalının kontrolünü iyi bir şekilde yapabilmesi ve daha iyi elektriksel özellikler sağlanmasıyla FinFET cihazı kapalı durumdayken gövdeden çok az akımın sızmasına izin verir.



Şekil 2.4: FinFET 'in Yapısı

FinFET ile MOSFET yapısını birbirinden ayıran en önemli fark ise FinFET'lerin "fin" olarak bilinen dikey kanala sahipken düzlemsel MOSFET'in yatay konumda olmasıdır. Bu nedenle FinFET'in kanal genişliği (W), kanat yüksekliği (H_{FIN}) cinsinden tanımlanır. Şekil 2.5'te düzlemsel MOSFET yapısı FinFET arasındaki yapısal farklılıklar gösterilmiştir.

FinFET'in kanat kalınlığı ve kanat yüksekliği parametreleri kısa kanal etkilerini kontrol etmek için kullanılır. Kanatın ince yapıda olması kısa kanal etkilerini azaltmaya yardımcı olur (Basker et al., 2010). Kalın kanatlı cihazda kaynak/kanat ve savak/kanat bağlantı kapasitanslarının azalması, savak elektrik alanının kanal bariyerini düşürmesine neden olur. (Nesamani et al., 2010)



Şekil 2.5: a) Düzlemsel MOSFET yapısı b) FinFET yapısı

Bununla ilgili çalışma yapan Prathima ve arkadaşları kanat kalınlığı azaldıkça, kapalı durum kaçak akımının da azaldığını ve kanat yüksekliği arttıkça sürme akımı kapasitesinin de arttığını gözlemlemişlerdir (Prathima et al., 2012).

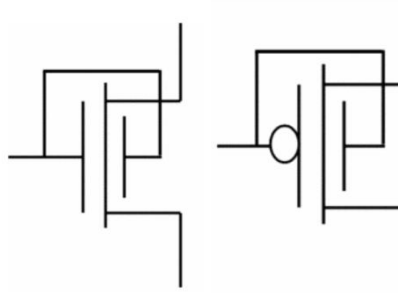
Kanat yüksekliği proses mühendisleri tarafından belirlenir. Kararlı ve güvenilir çalışmayı sağlamak için kanat yüksekliği kanat kalınlığının dört katından daha düşük bir değerde tutulur (Alioto, 2010) (Collaert et al., 2005). Çünkü daha kısa kanal yükseklikleri daha fazla esneklik sunar ama durum daha fazla silikon alana neden olur. Daha uzun kanat yükseklikleri daha az silikon ayak izine yol açar ama FinFET'te yapısal istikrarsızlığa neden olur (Bhattacharya & Jha, 2014)

2.3.2 FinFET Çalışma Modu

FinFET kısa devreli geçit (SG) modu, bağımsız geçit (IG) modu olmak üzere iki çalışma modunun herhangi birinde çalışabilir.

2.3.2.1 SG Modu

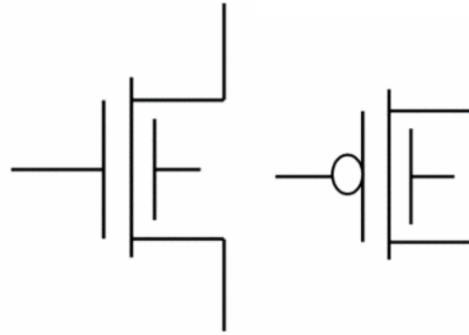
Kısa devreli geçit (SG) konfigürasyonunda, ön ve arka kapılar ortak besleme gerilimi ile birbirine bağlanır ve FinFET üç terminallli cihaz olarak kabul edilir. Kanalın elektrostatiği her iki kapı tarafından birlikte kontrol edilir. Bu yüzden SG FinFET, IG FinFET'e göre daha yüksek açık akım (I_{on}) ve eşik altı akım (I_{off}) değerine sahiptir. Şekil 2.6'da n- tipi SG FinFET ve p- tipi SG FinFET sembolleri gösterilmiştir.



Şekil 2.6: a) N-tipi SG FinFET b) P-tipi SG FinFET

2.3.2.2 IG Modu

Bağımsız kapı (IG) konfigürasyonunda her iki kapı da birbirinden bağımsız olarak kontrol edilir. Bağımsız kapı özelliği sayesinde cihaz yeni transistör topolojileri sağlayabilir. Şekil 5'te n- tipi IG FinFET ve p-tipi IG FinFET sembolleri gösterilmiştir.



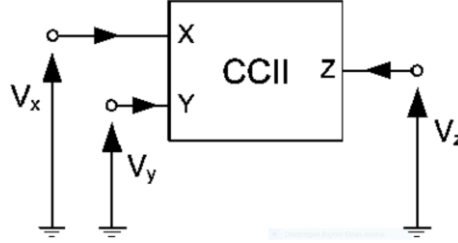
Şekil 2.7 a) N-tipi IG FinFET b) P-tipi IG FinFET

Bağımsız kapı (IG) konfigürasyonu daha yüksek bir I_{ON}/I_{OFF} oranı aralığına ulaşmak için ön kapının başlangıç voltajının arka kapı tarafından artırılmasını veya azaltılmasını sağlar. Bu özelliği nedeniyle güç yönetimi uygulamalarında tercih edilir fakat ön kapı ve arka kapıya iki farklı sinyal veya voltaj uygulanabildiği için çip üzerinde daha fazla alan kaplar.

3.DİFERANSİYEL AKIM TAŞIYICI

1968 yılında birinci nesil akım taşıyıcı ilk kez Sedra ve Smith tarafından tanıtılmıştır (Sedra & Smith, 1968). 1970 yılında yine Sedra ve Smith tarafından daha çok yönlü ikinci nesil akım taşıyıcı (CCII) tanıtılmıştır (Sedra & Smith, 1968). CCII tabanlı devreler Op-Amp tabanlı devrelerle karşılaştırıldığında CCII tabanlı devreler düşük besleme voltajı gereksinimi, basit devre yapısı, daha yüksek bant genişliği, doğrusallık ve dinamik aralık gibi çeşitli avantajlar sunmaktadır.

CCII, yüksek empedanslı Y giriş düğümü, düşük empedanslı X giriş düğümü ve yüksek empedanslı Z çıkış düğümünden oluşan aktif bir bloktur. Şekil 3.1’de CCII blok şeması verilmiştir.

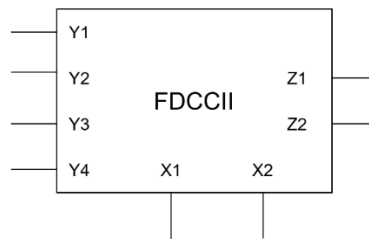


Şekil 3.1: CCII blok şeması

İkinci nesil akım taşıyıcının giriş terminallerinden sadece birinin yüksek empedans seviyesine sahip olması diferansiyel sinyallerin işlenmesi gerektiren uygulamalarda sorun olabilir. FDCCII ikinci nesil akım taşıyıcının performansını arttırmak için önerilen yapı bloklarından biridir. FDCCII tam diferansiyel sinyal işleme gereksinimlerini karşılamak ve karma modlu uygulamalarda dinamik aralığı artırmak amacıyla geliştirilmiştir. DDCC ve DXCCII’nin avantajlarını bir araya getiren DXDDCC ise aritmetik sinyal işleme ve elektronik olarak ayarlanabilme özellikleriyle CCII’nın performansını arttıran yapı bloğudur.

3.1 MOS FDCCII

Önerilen tümüyle diferansiyel girişli ikinci nesil akım taşıyıcı (FDCCII) yüksek empedanslı Y₁, Y₂, Y₃ ve Y₄ giriş düğümü, düşük empedanslı X₁, X₂ giriş düğümü ve yüksek empedanslı Z₁ ve Z₂ çıkış düğümünden oluşan akım modlu aktif bir bloktur. Şekil 3.2’de FDCCII blok şeması gösterimi verilmiştir.



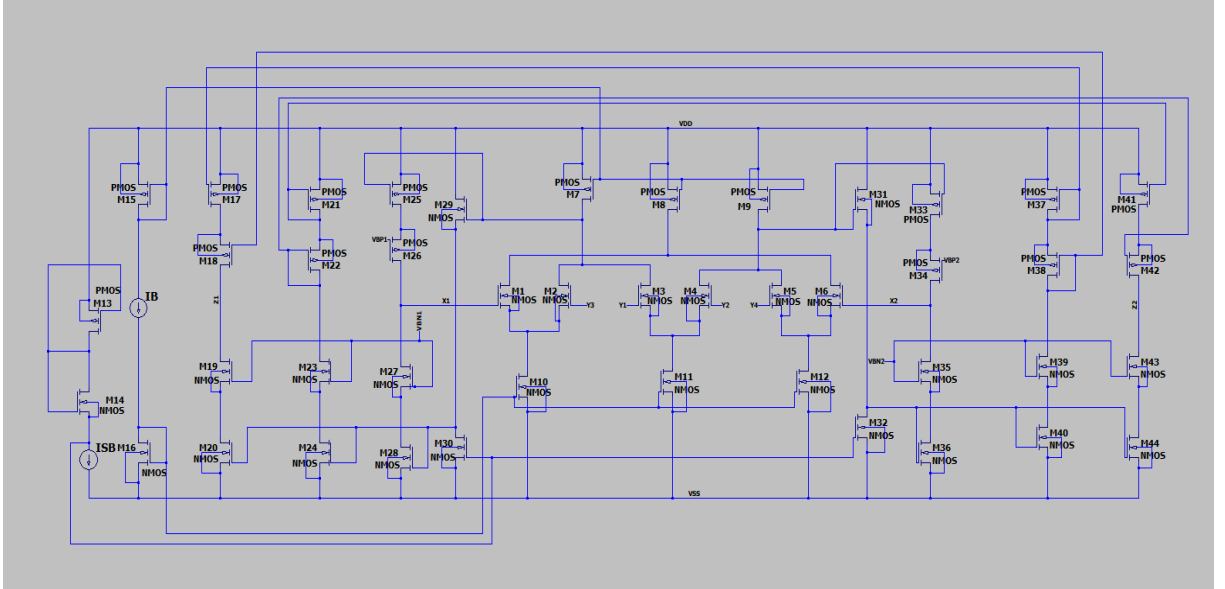
Şekil 3.2: FDCCII blok şeması

Önerilen tümüyle diferansiyel ikinci nesil akım taşıyıcının (FDCCII) akım-gerilim (IV) karakteristikleri (3.1)’de verilmiştir.

$$\begin{bmatrix} V_{X1} \\ V_{X2} \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Y4} \\ I_{Z1} \\ I_{Z2} \end{bmatrix} = \begin{bmatrix} 1 & -1 & 1 & 0 & 0 & 0 & 0 \\ -1 & 1 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & -1 \\ 0 & 0 & 0 & 0 & 0 & -1 & 1 \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ V_{Y4} \\ V_{Z1} \\ V_{Z2} \\ I_{X1} \\ I_{X2} \end{bmatrix} \quad (3.1)$$

Şekil 3.3’de önerilen MOS FDCCII devresi görülmektedir. Önerilen MOS FDCCII devresi LTspice programında 45nm PTM parametreleri kullanılarak tasarlanmıştır. MOS FDCCII devresinde besleme ve kutuplama gerilimlerine $V_{DD} = -V_{SS} = 0.4V$, $V_{BP1} = V_{BP2} = 0.12V$, $V_{BN1} = V_{BN2} = 0V$ gerilimleri uygulanmıştır. Kutuplama akımı $I_B = I_{SB} = 10nA$ seçilmiştir. NMOS ve PMOS transistörlerin boyutları tablo 3.1’de verilmiştir.

Önerilen tümüyle diferansiyel girişli ikinci nesil akım taşıyıcı (FDCCII) devre yapısı $V_{X1} = V_{Y1} - V_{Y2} + V_{Y3}$, $V_{X2} = -V_{Y1} + V_{Y2} + V_{Y4}$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ bağıntılarını sağlayacak şekilde oluşturulmuştur. Önerilen MOS FDCCII devresini elde etmek için M1-M2, M3-M4, M5-M6 olmak üzere üç adet diferansiyel çift kullanılmıştır. Devrede $I + I_{X1}$ akımı M27 ‘nin savak ucuna $I + I_{X2}$ akımı ise M35 ‘in savak ucuna uygulanmaktadır. M35-M40, M43 ve M44 transistörlerinden $I + I_{X2}$ akımı akar. M19, M20, M23, M24, M27 ve M28 transistörlerinden ise $I + I_{X1}$ akımı akar. M37 ve M38’den akan $I + I_{X2}$ akımı M17 ve M18’e yansıtılmaktadır. M19 ve M20 transistörlerinden $I + I_{X1}$ akımı akar ve böylece $I_{Z1} = I_{X1} - I_{X2}$ elde edilmiş olur. M21 ve M22’den akan $I + I_{X1}$ akımı M41 ve M42’ye yansıtılmaktadır. M43 ve M44 transistörlerinden $I + I_{X2}$ akımı akar ve böylece $I_{Z2} = I_{X2} - I_{X1}$ elde edilmiş olur.

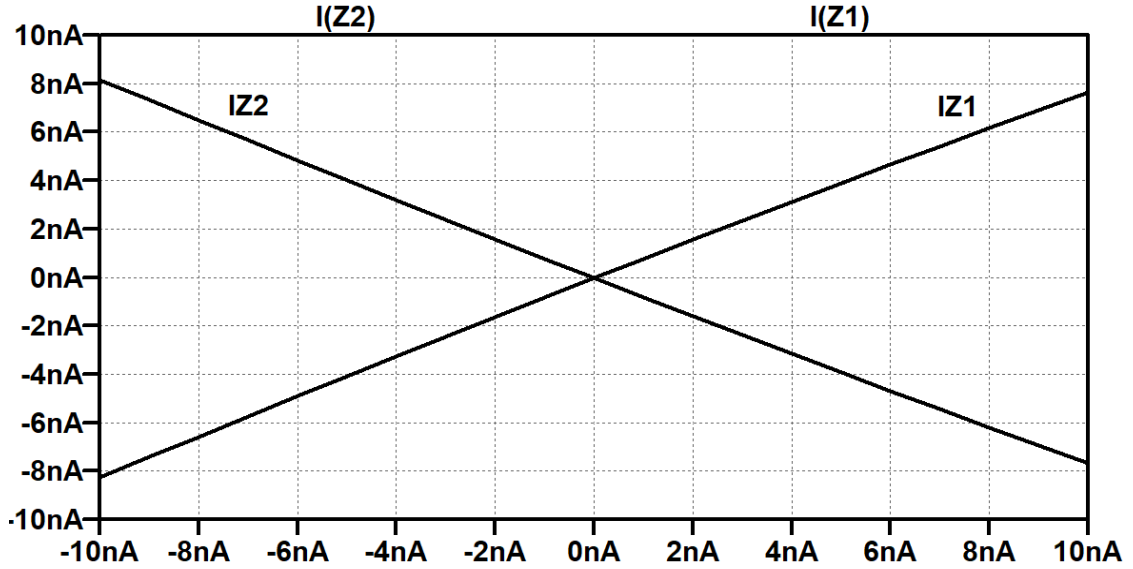


Şekil 3.3: Önerilen MOS FDCCII devresi

Tablo 3.1: Önerilen MOS FDCCII Devresindeki MOSFET'lerin Boyutlandırılması

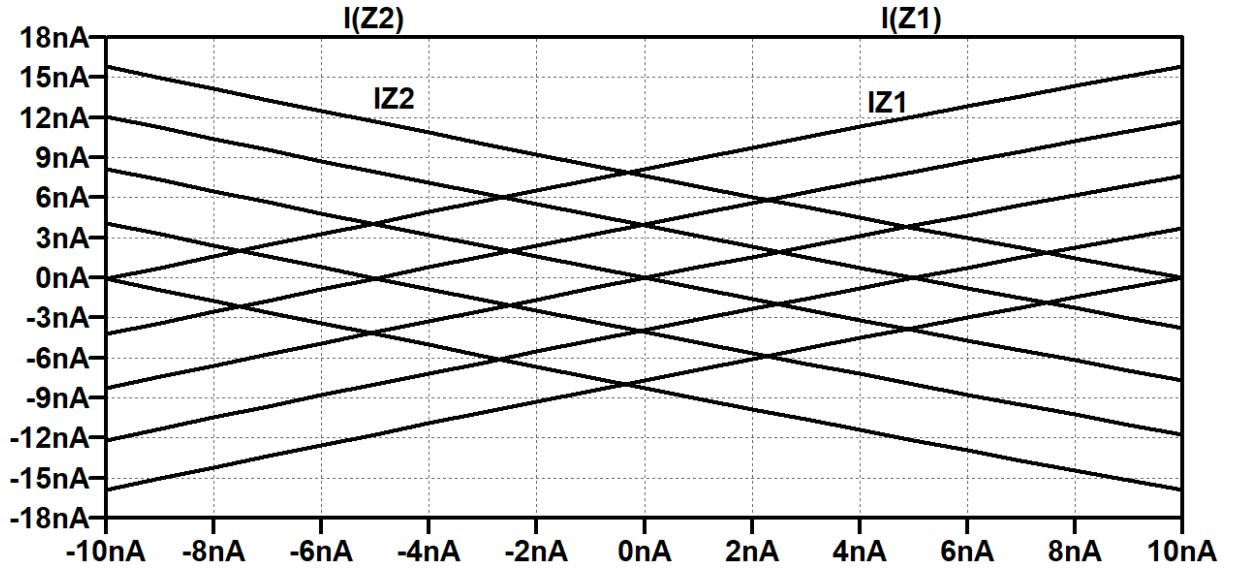
MOSFET	NMOS/PMOS	W(nm)	L(nm)
M1- M6	NMOS	360nm	90nm
M7-M9, M15,	PMOS	180nm	90nm
M10-M12, M16, M19, M20 M23, M24, M27, M28, M29, M30, M31, M32, M35, M36, M39, M40, M43, M44	NMOS	180nm	90nm
M17, M18, M21, M22, M25, M26 M33, M34, M35, M36, M37, M38, M41, M42	PMOS	500nm	90nm
M13	PMOS	420nm	90nm
M14	NMOS	90nm	90nm

Şekil 3.4'te önerilen MOS FDCCII devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -10nA ile 10nA arasında DC olarak taranmıştır. Şekilde de görüldüğü gibi Z_1 'in çıkış akımı pozitif yönde maksimum 7.64nA, negatif yönde maksimum -8.26nA'dır. Z_2 'nin çıkış akımı pozitif yönde maksimum 8.15nA, negatif yönde maksimum -7.7nA'dır.



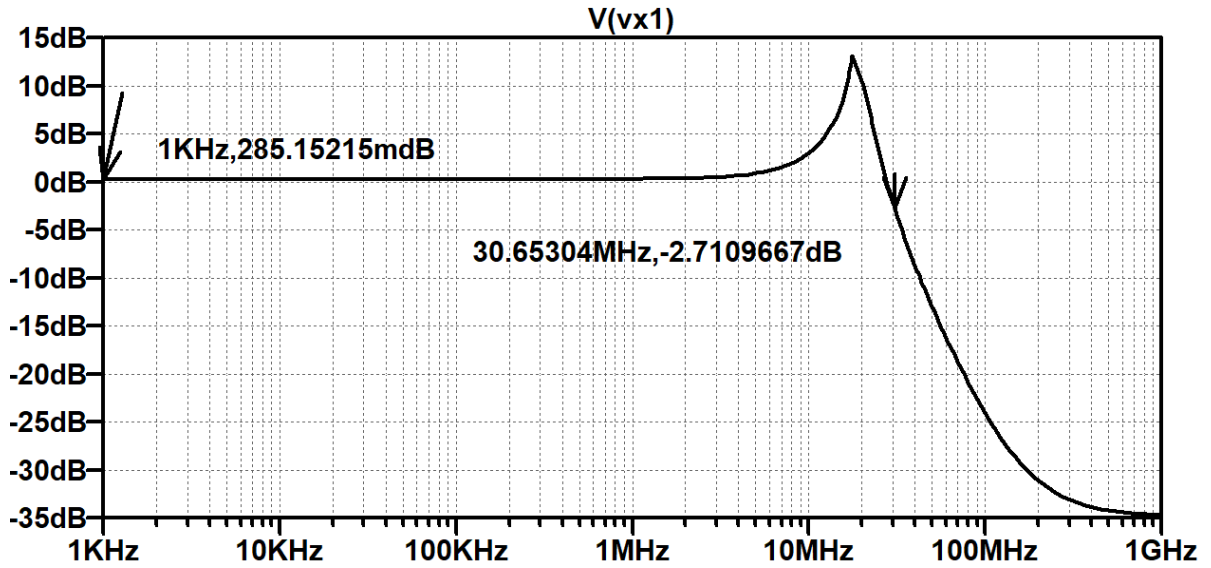
Şekil 3.4: Önerilen MOS FDCCII devresinin DC akım izleme eğrileri

Şekil 3.5'te, önerilen MOS FDCCII devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -10nA ile 10nA arasında DC olarak taranmıştır. I_{X2} akım kaynağı step analizi ile -10nA ile 10nA arasında 5nA'lık artışlarla değiştirilmiştir.



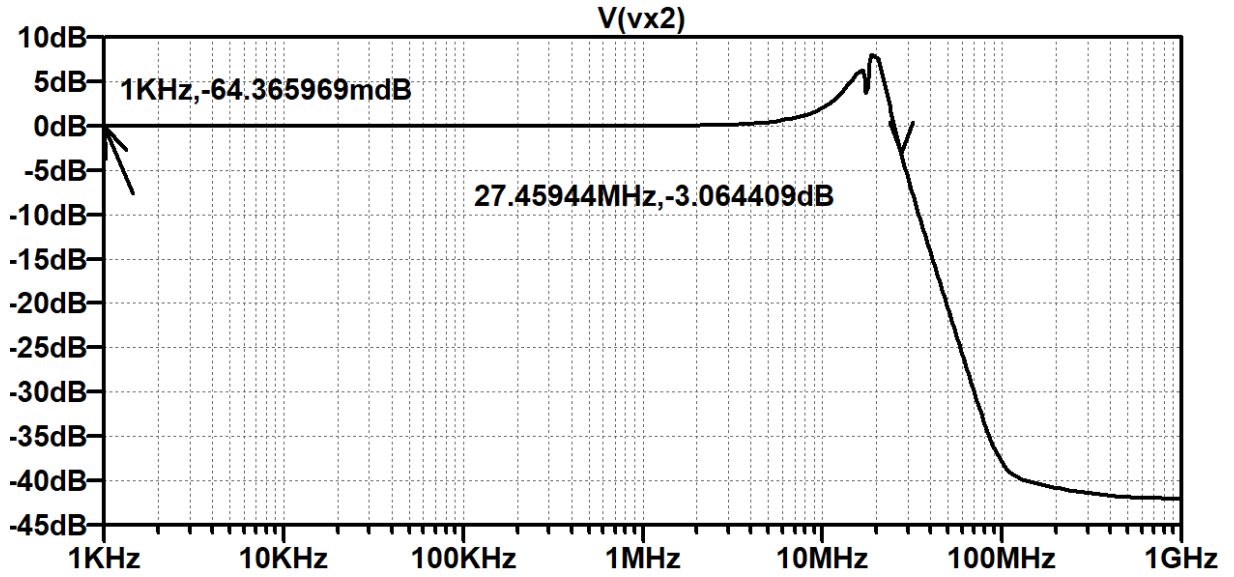
Şekil 3.5: Önerilen MOS FDCCII devresinin DC akım izleme eğrileri (Step param I_{X2} -10n 10n 5n)

Şekil 3.6 , Y_1 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin V_{X1}/V_{Y1} gerilim izleme eğrisi yaklaşık 30.65MHz'lik bant genişliğine sahiptir.



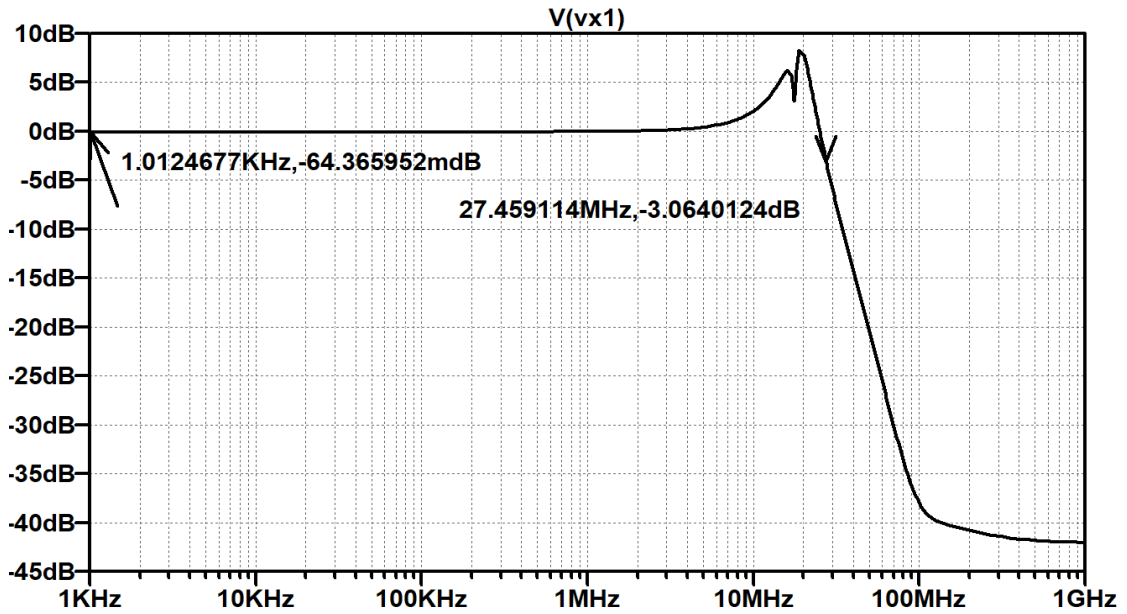
Şekil 3.6: Önerilen MOS FDCCII devresinin V_{X1}/V_{Y1} frekans cevabı

Şekil 3.7, Y_1 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin V_{X2}/V_{Y1} gerilim izleme eğrisi yaklaşık 27.46MHz'lik bant genişliğine sahiptir.



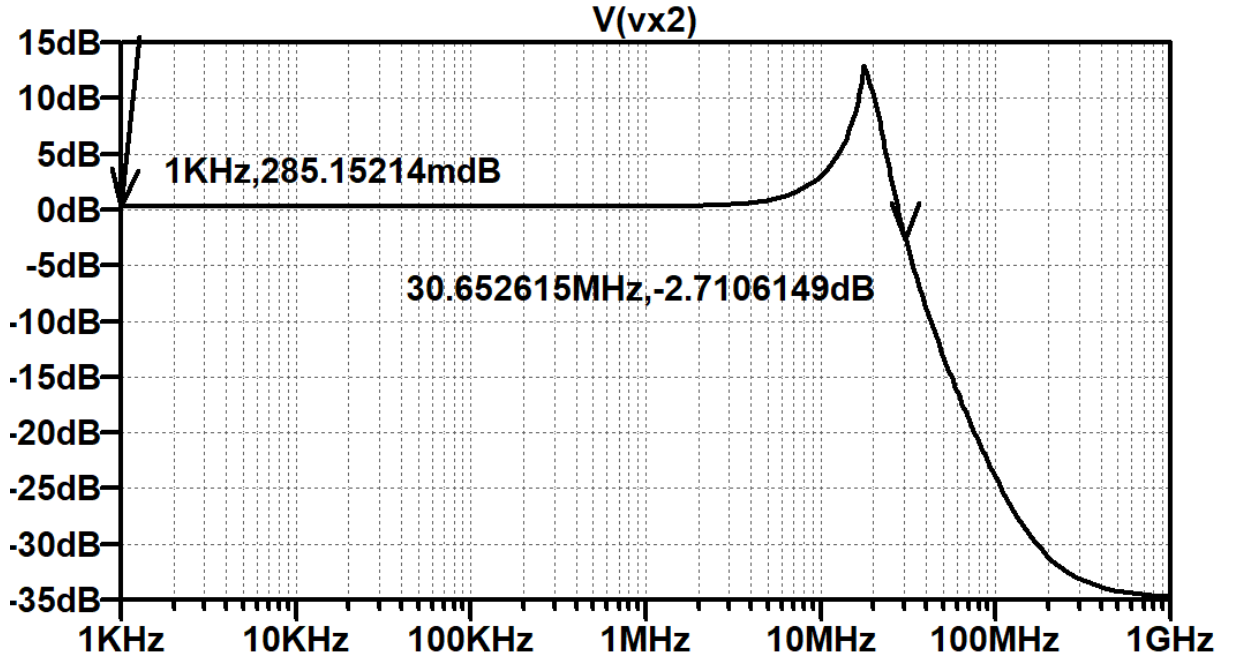
Şekil 3.7: Önerilen MOS FDCCII devresinin V_{X2}/V_{Y1} frekans cevabı

Şekil 3.8, Y_2 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin V_{X1}/V_{Y2} gerilim izleme eğrisi yaklaşık 27.46MHz'lik bant genişliğine sahiptir.



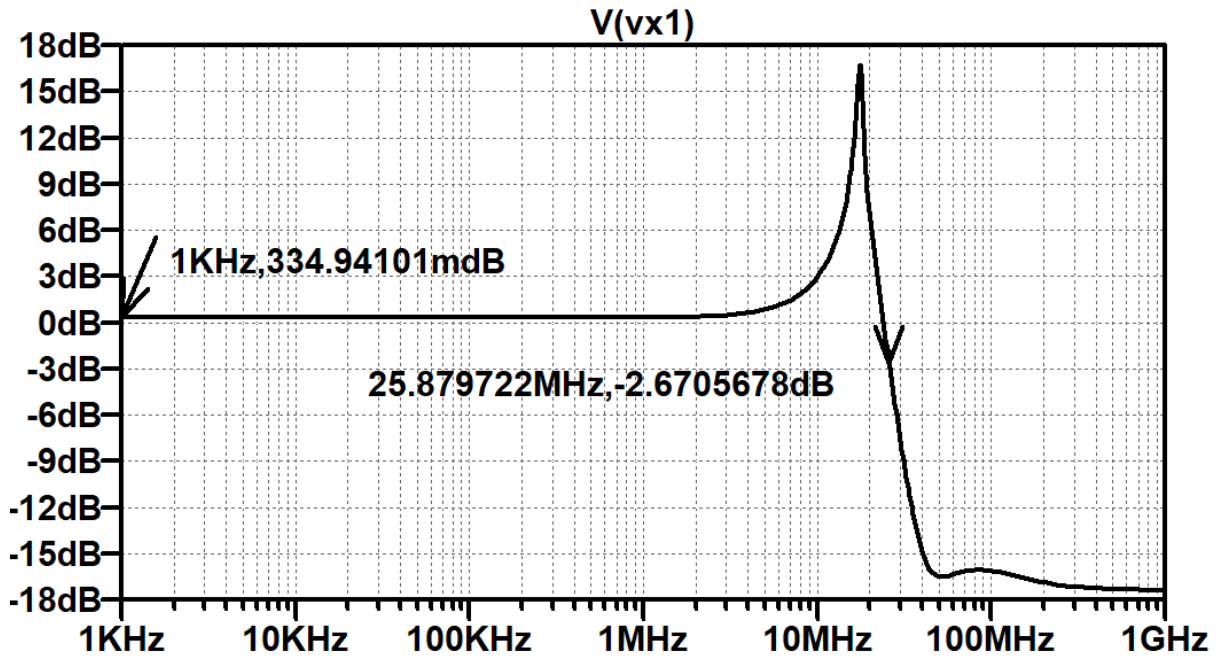
Şekil 3.8: Önerilen MOS FDCCII devresinin V_{X1}/V_{Y2} frekans cevabı

Şekil 3.9, Y_2 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin V_{X2}/V_{Y2} gerilim izleme eğrisi yaklaşık 30.65MHz'lik bant genişliğine sahiptir.



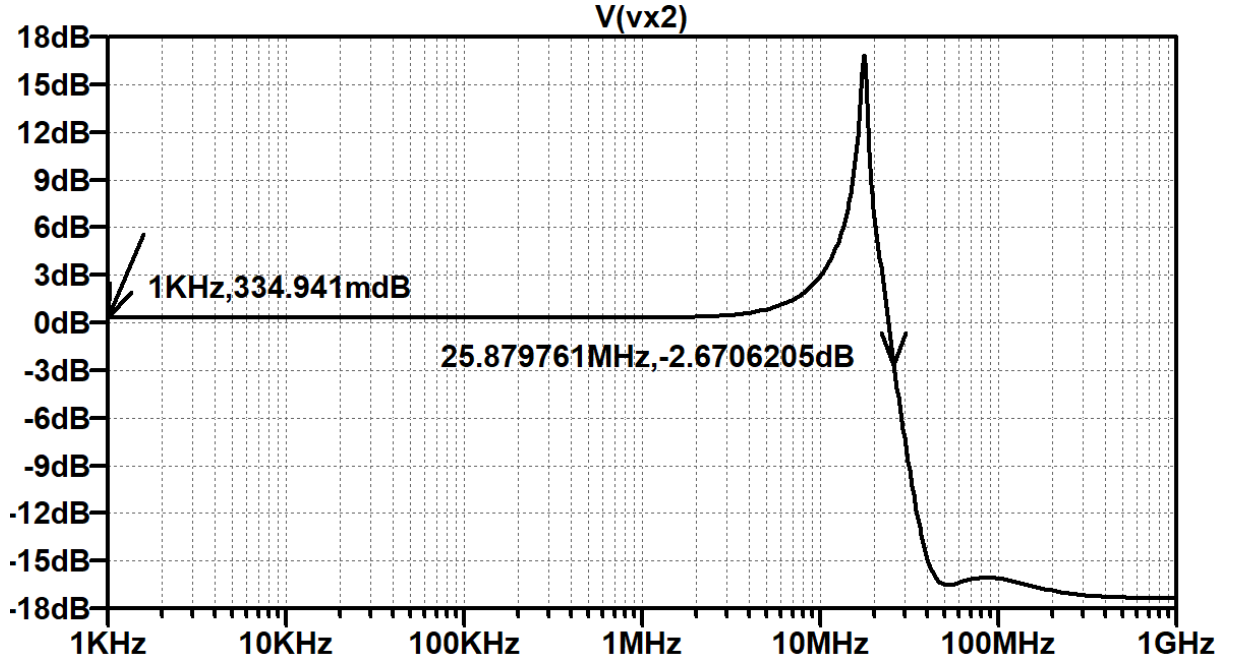
Şekil 3.9: Önerilen MOS FDCCII devresinin V_{X2}/V_{Y2} frekans cevabı

Şekil 3.10 , Y_3 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin V_{X1}/V_{Y3} gerilim izleme eğrisi yaklaşık 25.88MHz'lik bant genişliğine sahiptir.



Şekil 3.10: Önerilen MOS FDCCII devresinin V_{X1}/V_{Y3} frekans cevabı

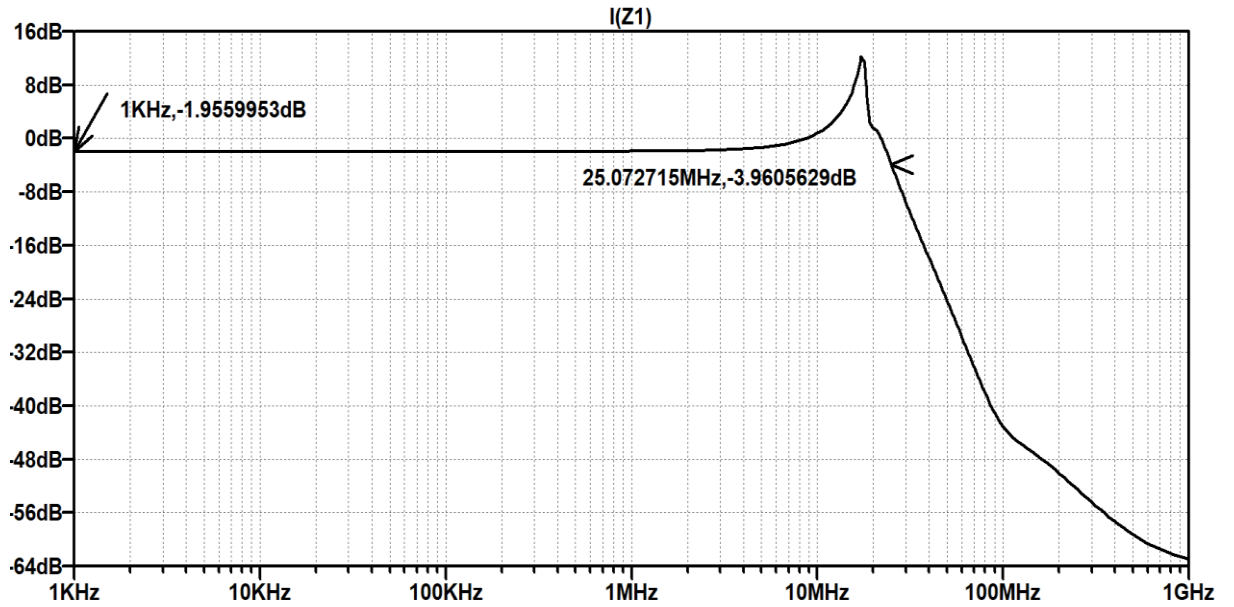
Şekil 3.11 , Y_4 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y4} , 1V genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin V_{X2}/V_{Y4} gerilim izleme eğrisi yaklaşık 25.88MHz'lik bant genişliğine sahiptir.



Şekil 3.11: Önerilen MOS FDCCII devresinin V_{X2}/V_{Y4} frekans cevabı

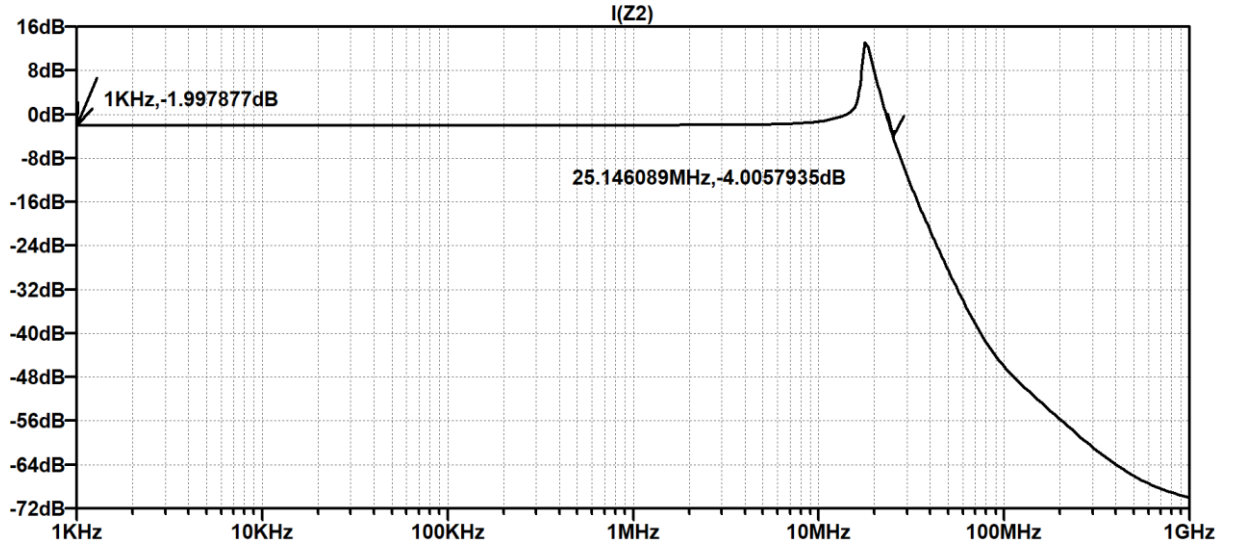
Şekil 3.12 – Şekil 3.15 önerilen MOS FDCCII devresinin AC akım izleme (I_{Z1}/I_{X1} , I_{Z2}/I_{X1} , I_{Z1}/I_{X2} , I_{Z2}/I_{X2}) eğrileri görülmektedir.

Şekil 3.12, X_1 ve Z_1 uçları arasındaki kısa devre akımı yanıtını göstermektedir. I_{X1} , 1A genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin I_{Z1}/I_{X1} akım izleme eğrisi yaklaşık 25.07MHz'lik bant genişliğine sahiptir.



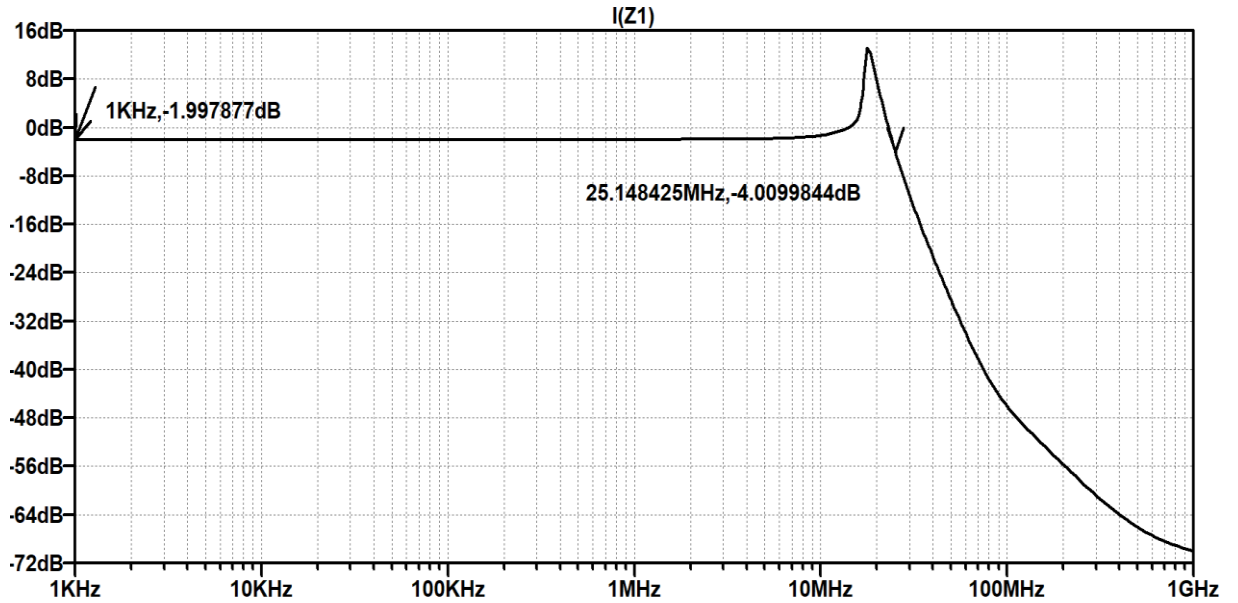
Şekil 3.12: Önerilen MOS FDCCII devresinin I_{Z1}/I_{X1} frekans cevabı

Şekil 3.13, X_1 ve Z_2 uçları arasındaki kısa devre akımı yanıtını göstermektedir. I_{X1} , 1A genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin I_{Z2}/I_{X1} akım izleme eğrisi yaklaşık 25.15MHz'lik bant genişliğine sahiptir.



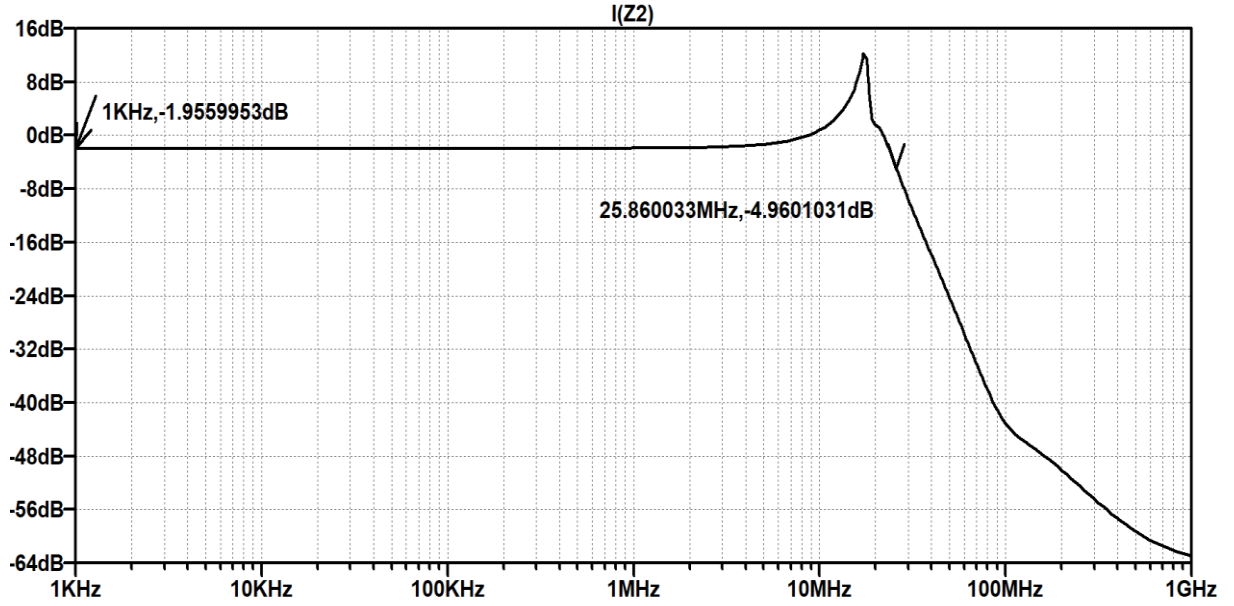
Şekil 3.13: Önerilen MOS FDCCII devresinin I_{Z2}/I_{X1} frekans cevabı

Şekil 3.14, X_2 ve Z_1 uçları arasındaki kısa devre akımı yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin I_{Z1}/I_{X2} akım izleme eğrisi yaklaşık 25.15MHz'lik bant genişliğine sahiptir.



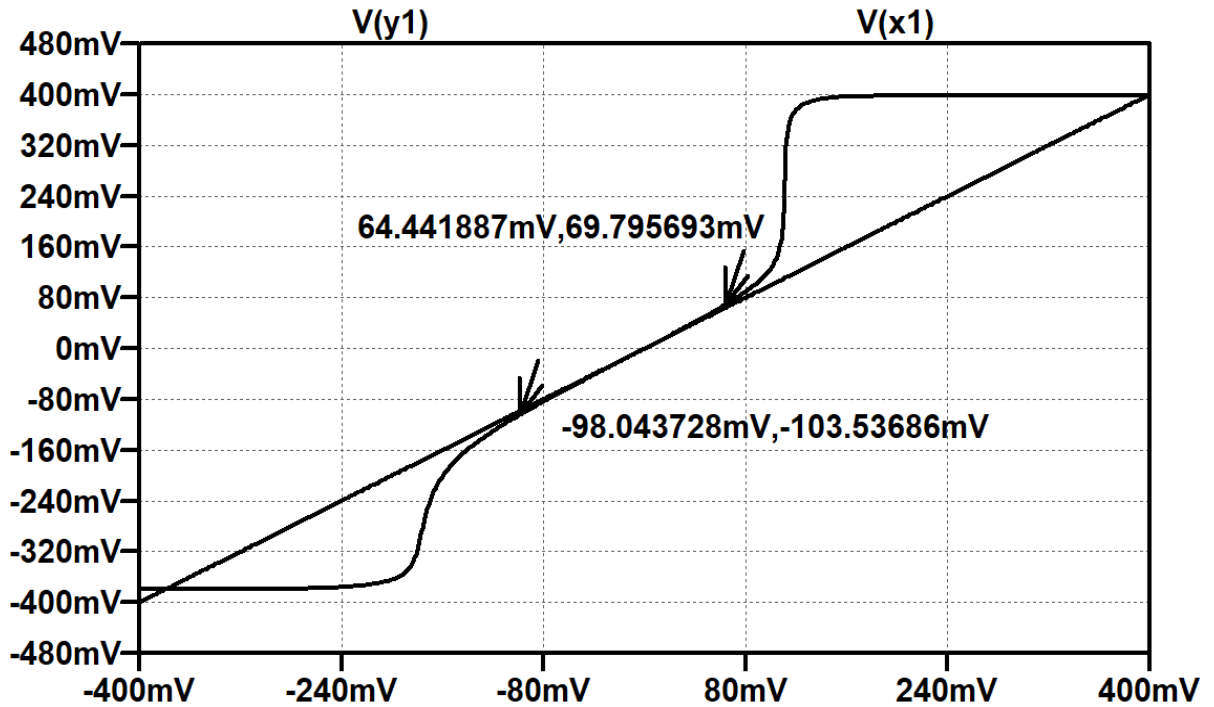
Şekil 3.14: Önerilen MOS FDCCII devresinin I_{Z1}/I_{X2} frekans cevabı

Şekil 3.15, X_2 ve Z_2 uçları arasındaki kısa devre akımı yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin I_{Z2}/I_{X2} akım izleme eğrisi yaklaşık 25.86MHz'lik bant genişliğine sahiptir.



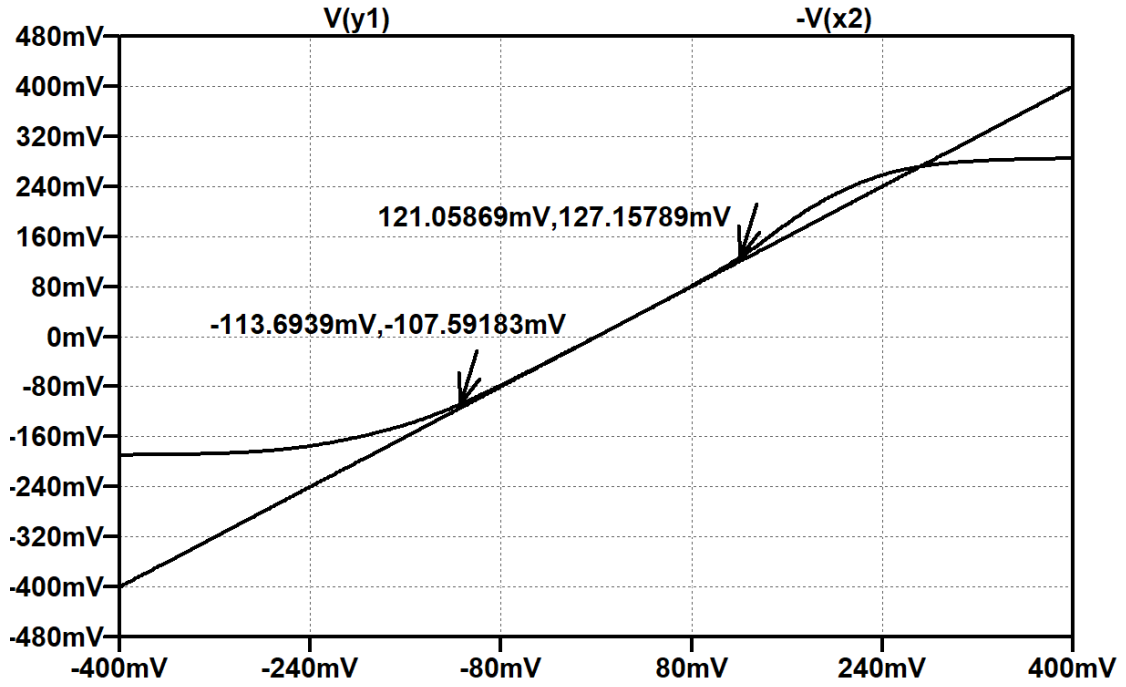
Şekil 3.15: Önerilen MOS FDCCII devresinin I_{Z2}/I_{X2} frekans cevabı

Şekil 3.16, önerilen MOS FDCCII devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.4V ile 0.4V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{X1} gerilimi, -98.04mV ile 64.44mV aralığında V_{Y1} gerilimini izlemektedir.



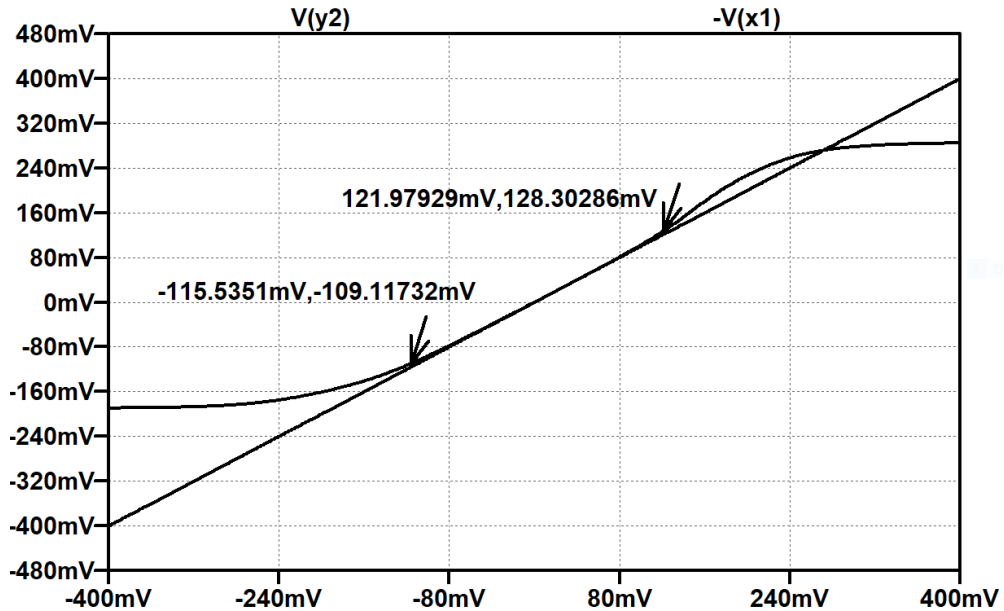
Şekil 3.16: Önerilen MOS FDCCII devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.17, önerilen MOS FDCCII devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.4V ile 0.4V arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. $-V_{X2}$ gerilimi, -113.69mV ile 121.06mV aralığında V_{Y1} gerilimini izlemektedir.



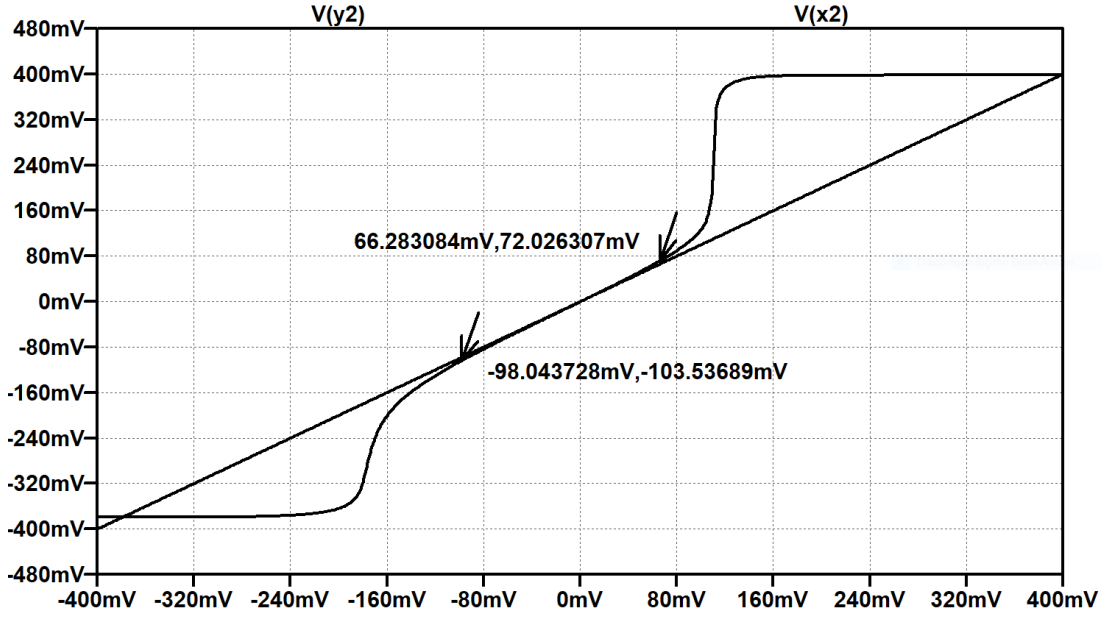
Şekil 3.17: Önerilen MOS FDCCII devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.18, önerilen MOS FDCCII devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi -0.4V ile 0.4V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. $-V_{X1}$ gerilimi, -115.53mV ile 121.98mV aralığında V_{Y2} gerilimini izlemektedir.



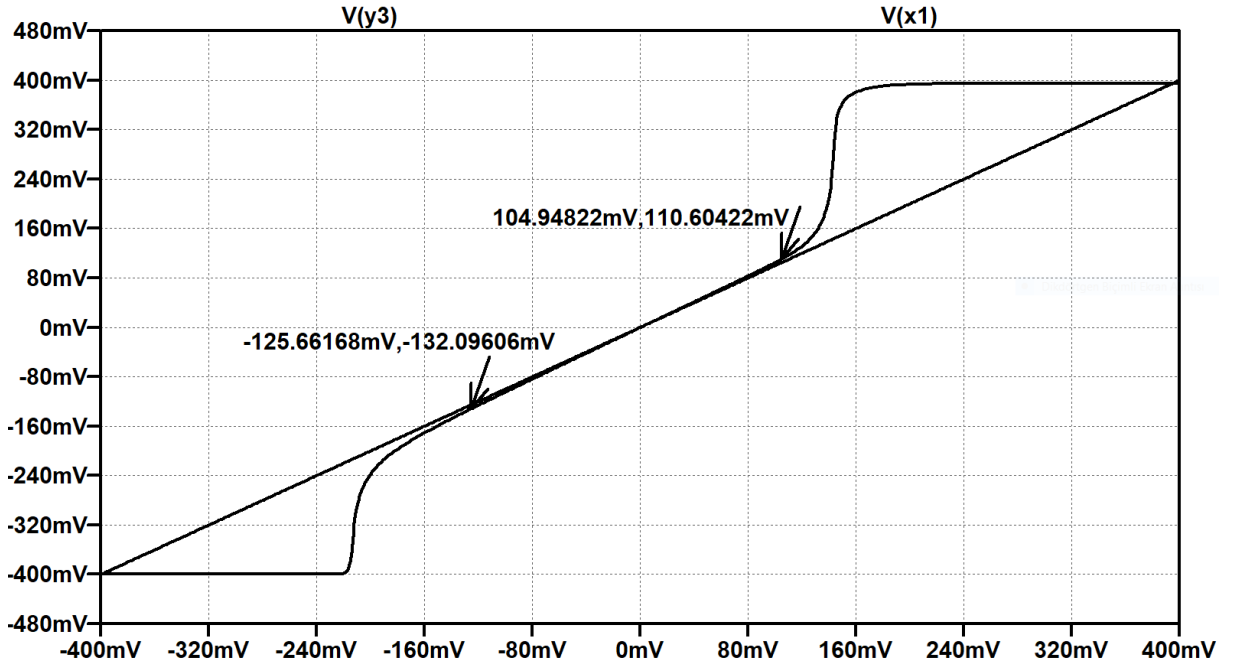
Şekil 3.18: Önerilen MOS FDCCII devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.19, önerilen MOS FDCCII devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi -0.4V ile 0.4V arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. V_{X2} gerilimi, -98.04mV ile 66.28mV aralığında V_{Y2} gerilimini izlemektedir.



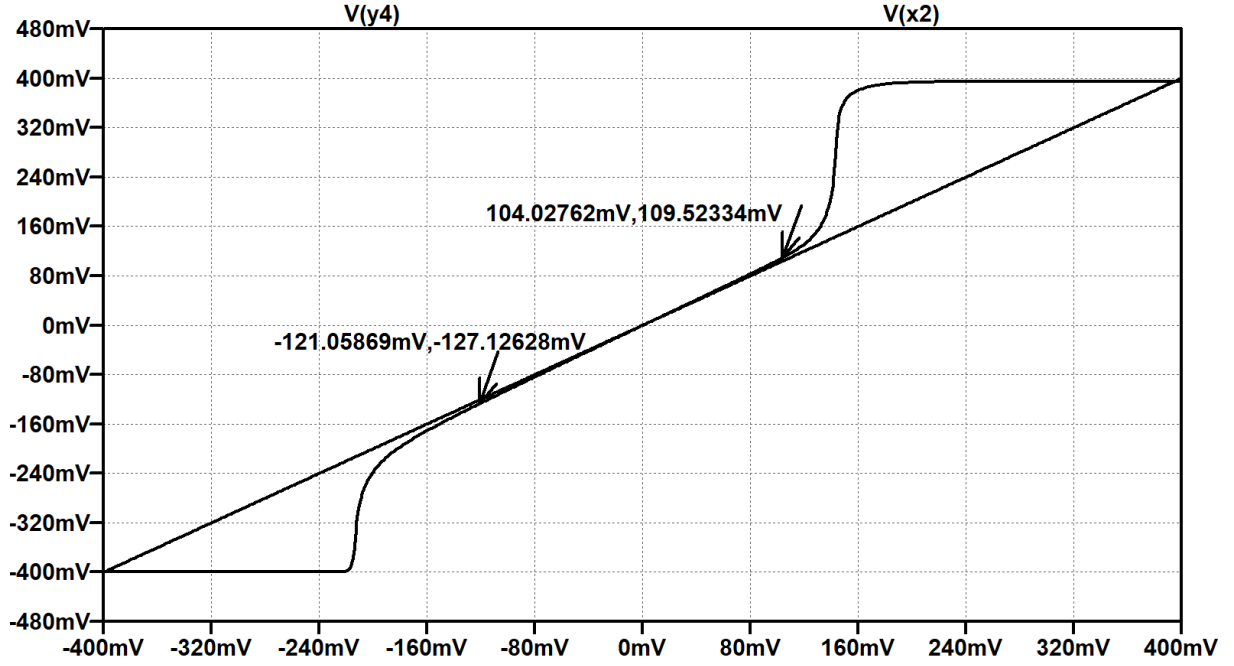
Şekil 3.19: Önerilen MOS FDCCII devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.20, önerilen MOS FDCCII devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiğini göstermektedir. V_{Y3} 'ün DC gerilimi $-0.4V$ ile $0.4V$ arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{X1} gerilimi, $-125.66mV$ ile $104.95mV$ aralığında V_{Y3} gerilimini izlemektedir.



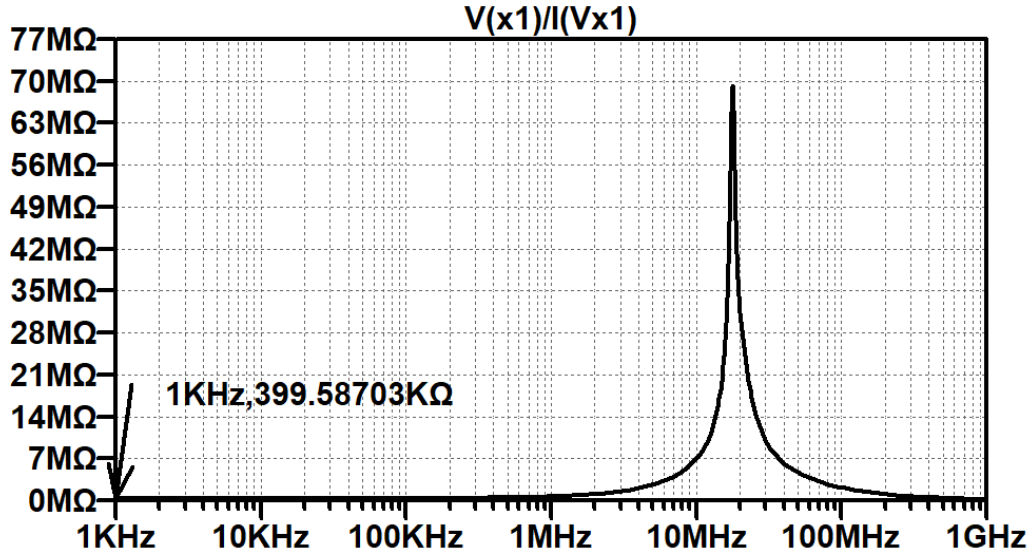
Şekil 3.20: Önerilen MOS FDCCII devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiği

Şekil 3.21, önerilen MOS FDCCII devresinin V_{X2} - V_{Y4} DC gerilim transfer karakteristiğini göstermektedir. V_{Y4} 'ün DC gerilimi $-0.4V$ ile $0.4V$ arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. V_{X2} gerilimi, $-121.06mV$ ile $104.03mV$ aralığında V_{Y4} gerilimini izlemektedir.



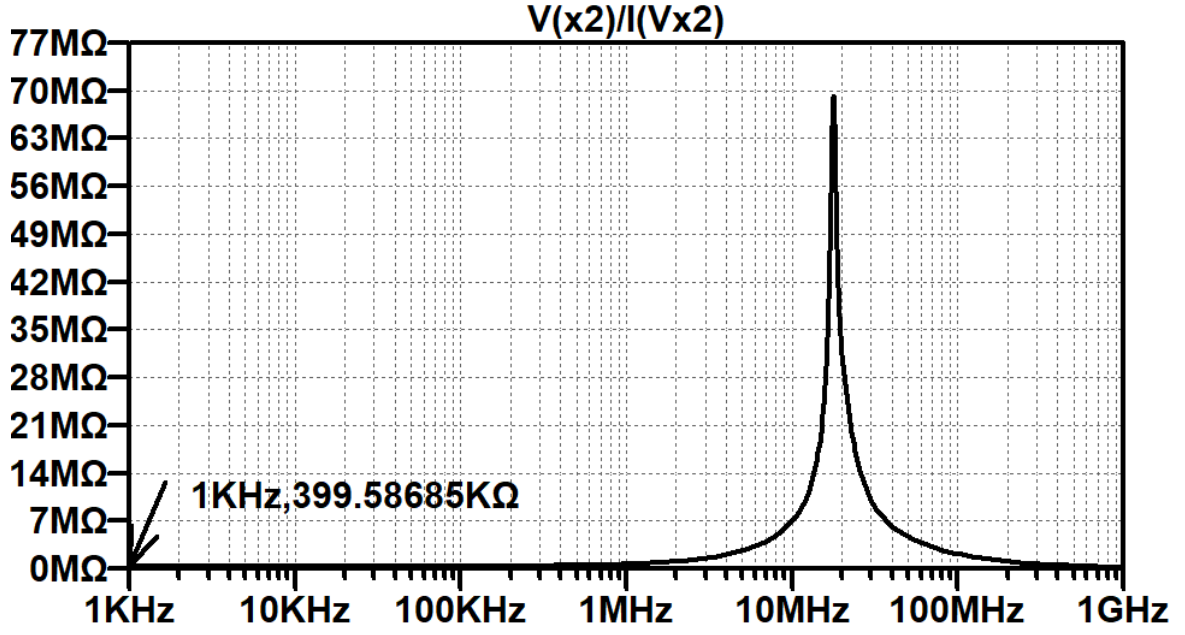
Şekil 3.21: Önerilen MOS FDCCII devresinin V_{X2} - V_{Y4} DC gerilim transfer karakteristiği

Şekil 3.22, önerilen MOS FDCCII devresinin X_1 çıkış empedansının frekans cevabını göstermektedir. V_{X1} , 1 V genliğinde AC sinyaldir. X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS FDCCII devresinin X_1 düğümündeki parazitik empedans değerinin 399.59k Ω olduğu görülmüştür.



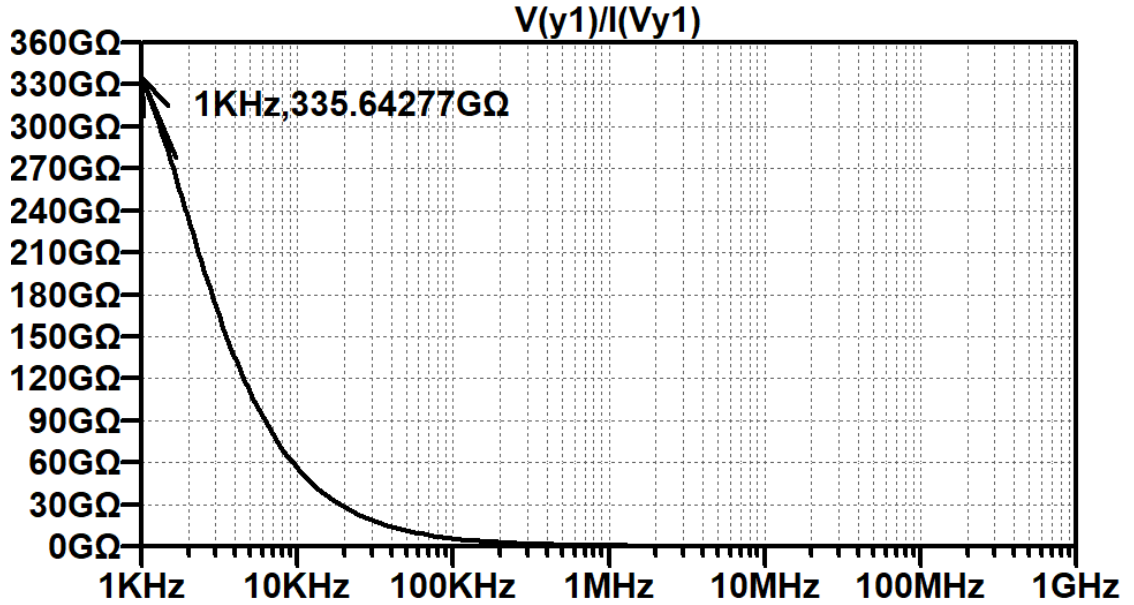
Şekil 3.22: Önerilen MOS FDCCII devresinin X_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.23, önerilen MOS FDCCII devresinin X_2 çıkış empedansının frekans cevabını göstermektedir. V_{X2} , 1 V genliğinde AC sinyaldir. X_1 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS FDCCII devresinin X_2 düğümündeki parazitik empedans değerinin 399.59k Ω olduğu görülmüştür.



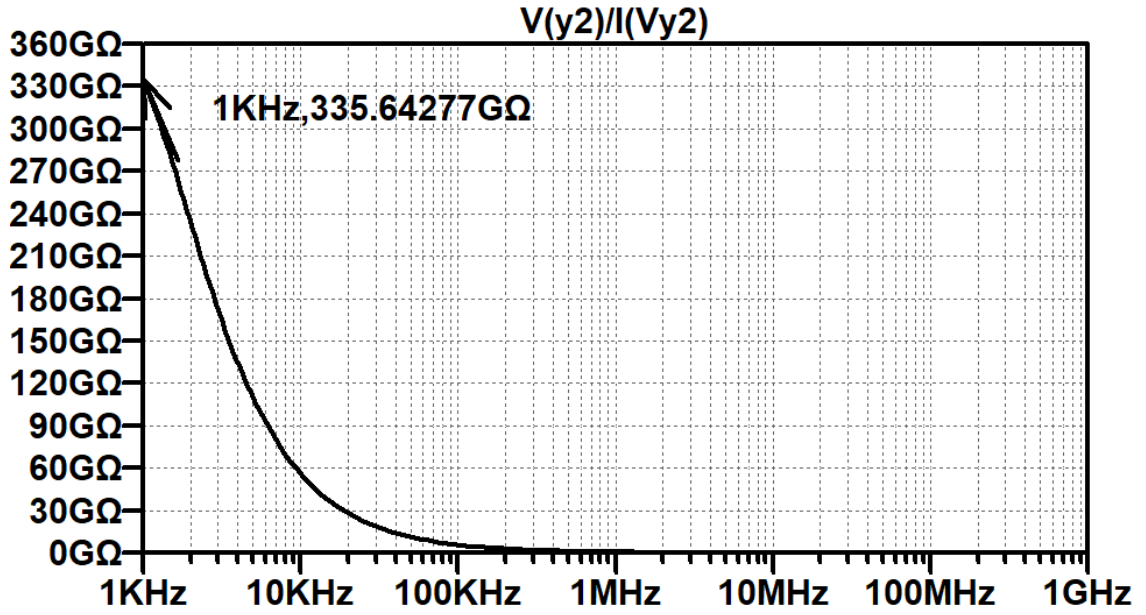
Şekil 3.23: Önerilen MOS FDCCII devresinin X_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.24, önerilen MOS FDCCII devresinin Y_1 çıkış empedansının frekans cevabını göstermektedir. V_{Y1} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_2 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS FDCCII devresinin Y_1 düğümündeki parazitik empedans değerinin 335.64GΩ olduğu görülmüştür.



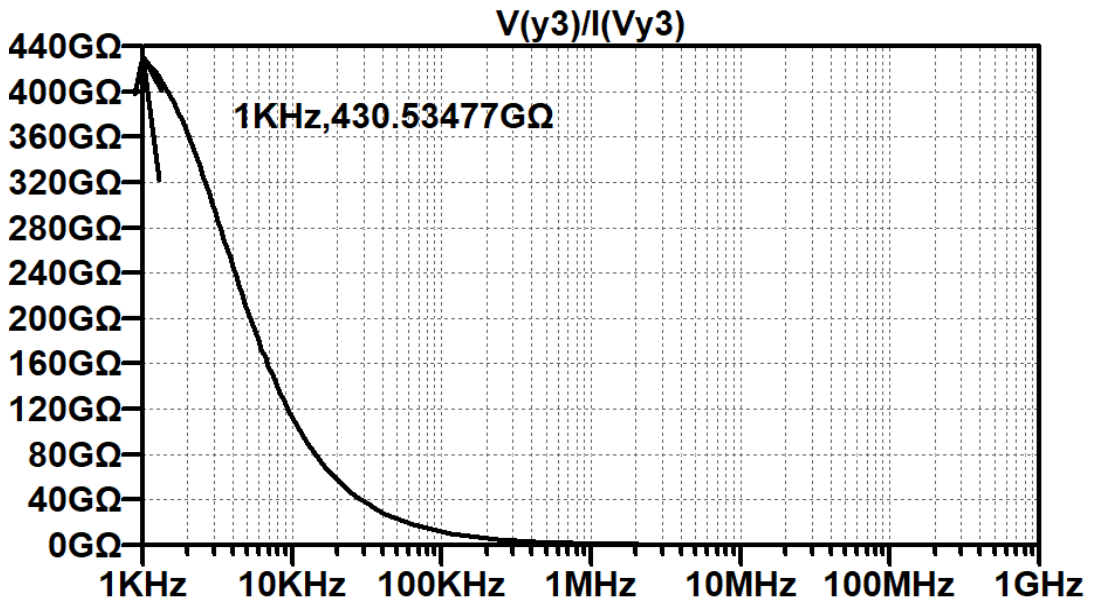
Şekil 3.24: Önerilen MOS FDCCII devresinin Y_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.25, önerilen MOS FDCCII devresinin Y_2 çıkış empedansının frekans cevabını göstermektedir. V_{Y2} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. MOS FDCCII devresinin Y_2 düğümündeki parazitik empedans değerinin 335.64GΩ olduğu görülmüştür.



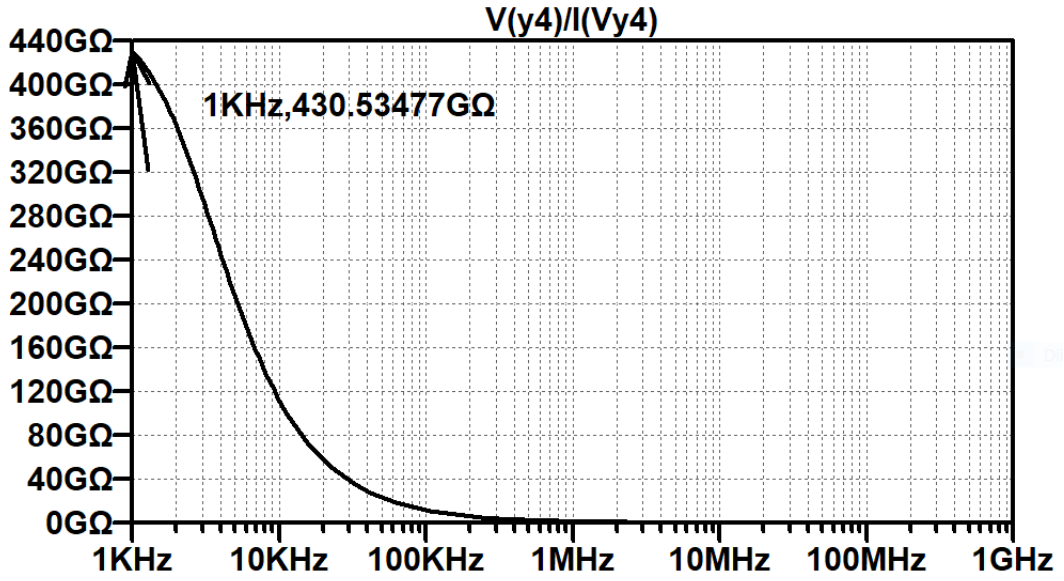
Şekil 3.25: Önerilen MOS FDCCII devresinin Y_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.26, önerilen MOS FDCCII devresinin Y_3 çıkış empedansının frekans cevabını göstermektedir. V_{Y3} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS FDCCII devresinin Y_3 düğümündeki parazitik empedans değerinin 430.53GΩ olduğu görülmüştür.



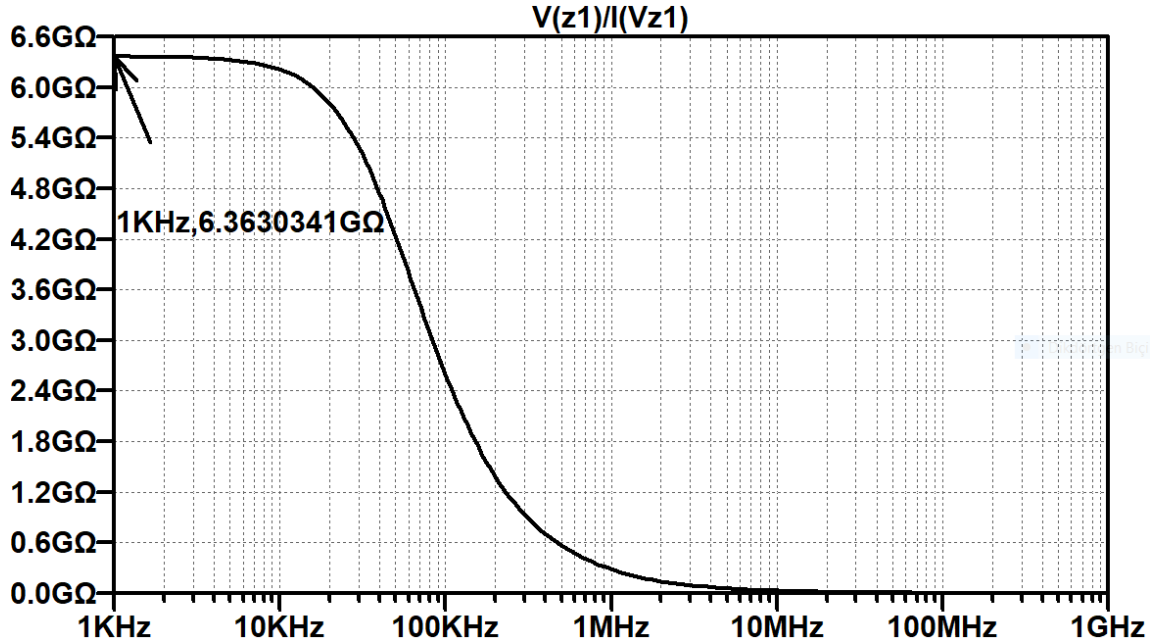
Şekil 3.26: Önerilen MOS FDCCII devresinin Y_3 düğümünde görülen parazitik empedans eğrisi

Şekil 3.27, önerilen MOS FDCCII devresinin Y_4 çıkış empedansının frekans cevabını göstermektedir. V_{Y4} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS FDCCII devresinin Y_4 düğümündeki parazitik empedans değerinin 430.53GΩ olduğu görülmüştür.



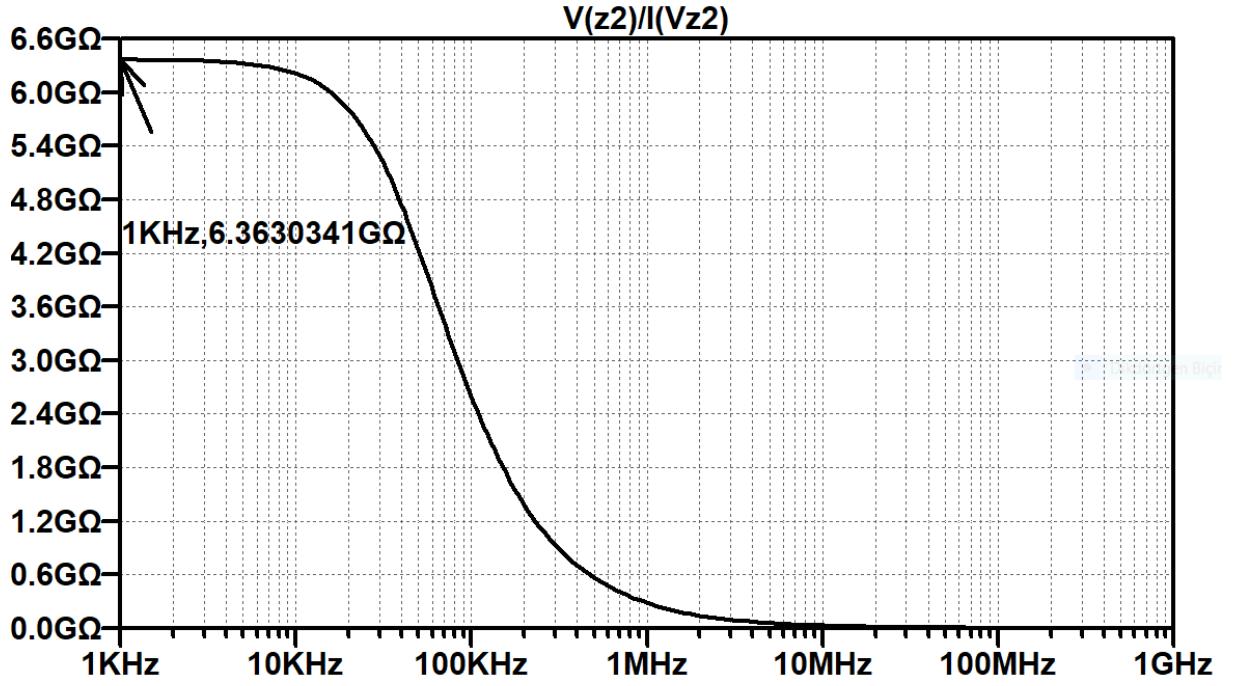
Şekil 3.27: Önerilen MOS FDCCII devresinin Y_4 düğümünde görülen parazitik empedans eğrisi

Şekil 3.28, önerilen MOS FDCCII devresinin Z_1 çıkış empedansının frekans cevabını göstermektedir. V_{Z1} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS FDCCII devresinin Z_1 düğümündeki parazitik empedans değerinin 6.36GΩ olduğu görülmüştür.



Şekil 3.28: Önerilen MOS FDCCII devresinin Z_1 düğümünde görülen parazitik empedans eğrisi

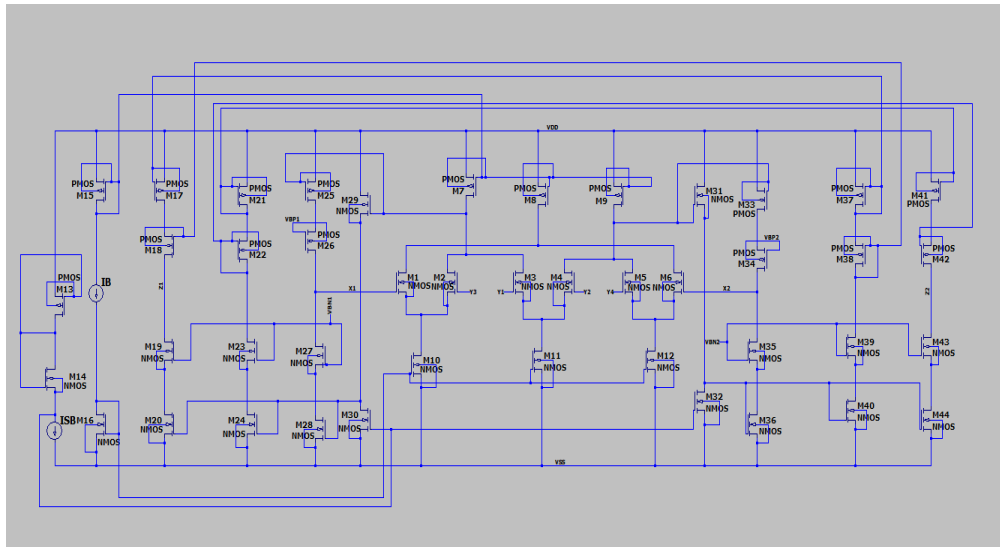
Şekil 3.29, önerilen MOS FDCCII devresinin Z_2 çıkış empedanslarının frekans cevabını göstermektedir. V_{Z2} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 ve Z_1 uçları toprağa kısa devre edilmiştir. Önerilen MOS FDCCII devresinin Z_2 düğümündeki parazitik empedans değerinin 6.36GΩ olduğu görülmüştür.



Şekil 3.29: Önerilen MOS FDCCII devresinin Z_2 düğümünde görülen parazitik empedans eğrisi

3.2 DTMOS FDCCII

Şekil 3.30’da önerilen DTMOS FDCCII devresi görülmektedir. DTMOS FDCCII devresi LTSpice programında 45nm PTM parametreleri kullanılarak tasarlanmıştır. DTMOS FDCCII devresinde besleme ve kutuplama gerilimlerine $V_{DD} = -V_{SS} = 0.25$ V, $V_{BP1} = V_{BP2} = 0.04$ V, $V_{BN1} = V_{BN2} = -0.01$ V gerilimleri uygulanmıştır. Kutuplama akımı $I_B = I_{SB} = 5$ nA seçilmiştir. N tipi DTMOS ve P tipi DTMOS transistörlerin boyutları tablo 3.2’de verilmiştir.

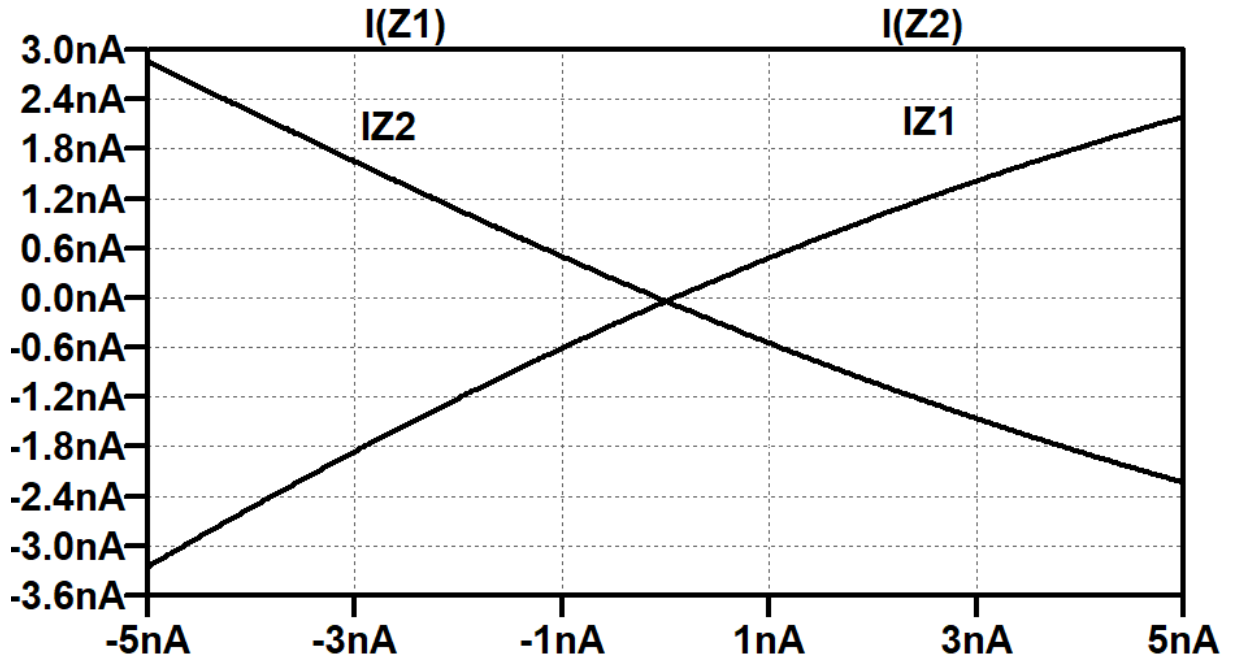


Şekil 3.30: Önerilen DTMOS FDCCII devresi

Tablo 3.2: Önerilen DTMOS FDCCII Devresindeki DTMOS'ların Boyutlandırılması

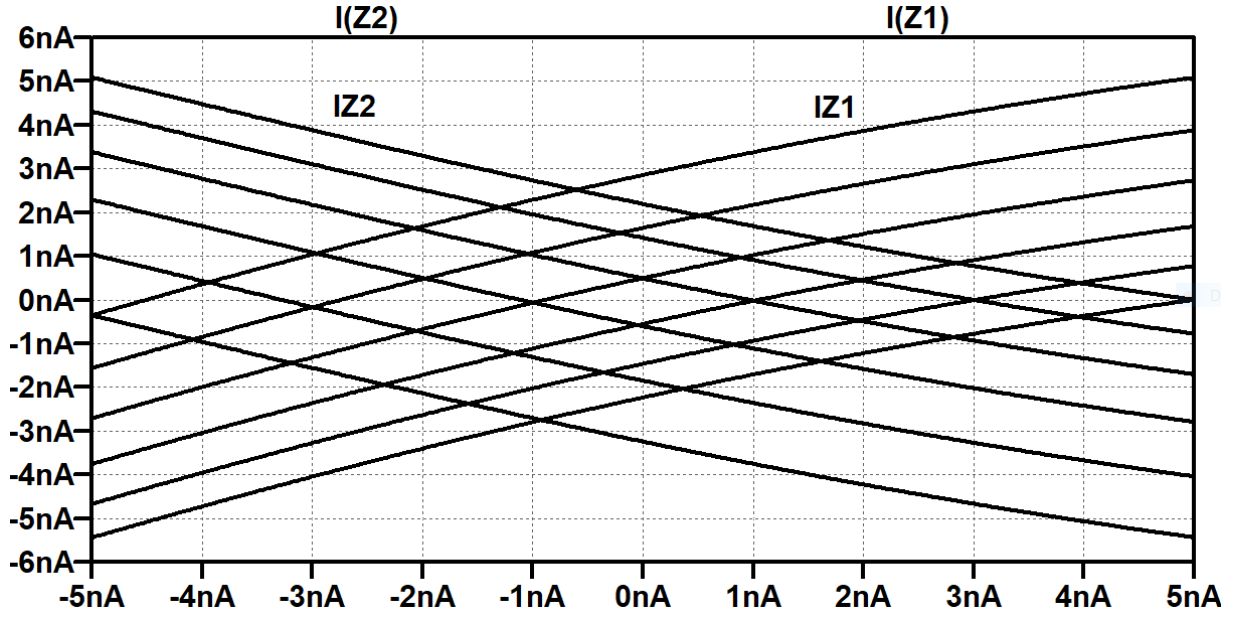
DTMOS	NMOS/PMOS	W(nm)	L(nm)
M1- M6	NMOS	360nm	90nm
M7-M9, M15,	PMOS	45nm	45nm
M10-M12, M16, M19, M20 M23, M24, M27, M28, M29, M30, M31, M32, M35, M36, M39, M40, M43, M44	NMOS	180nm	90nm
M17, M18, M21, M22, M25, M26 M33, M34, M35, M36, M37, M38, M41, M42	PMOS	500nm	90nm
M13	PMOS	400nm	90nm
M14	NMOS	500nm	120nm

Şekil 3.31’de, önerilen DTMOS FDCCII devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -10nA ile 10nA arasında DC olarak taranmıştır. Şekilde de görüldüğü gibi Z_2 ’nin çıkış akımı pozitif yönde maksimum 2.85nA, negatif yönde maksimum -2.33nA’dır. Z_1 ’in çıkış akımı pozitif yönde maksimum 2.19nA, negatif yönde maksimum -3.25nA’dır.



Şekil 3.31: Önerilen DTMOS FDCCII devresinin DC akım izleme eğrileri

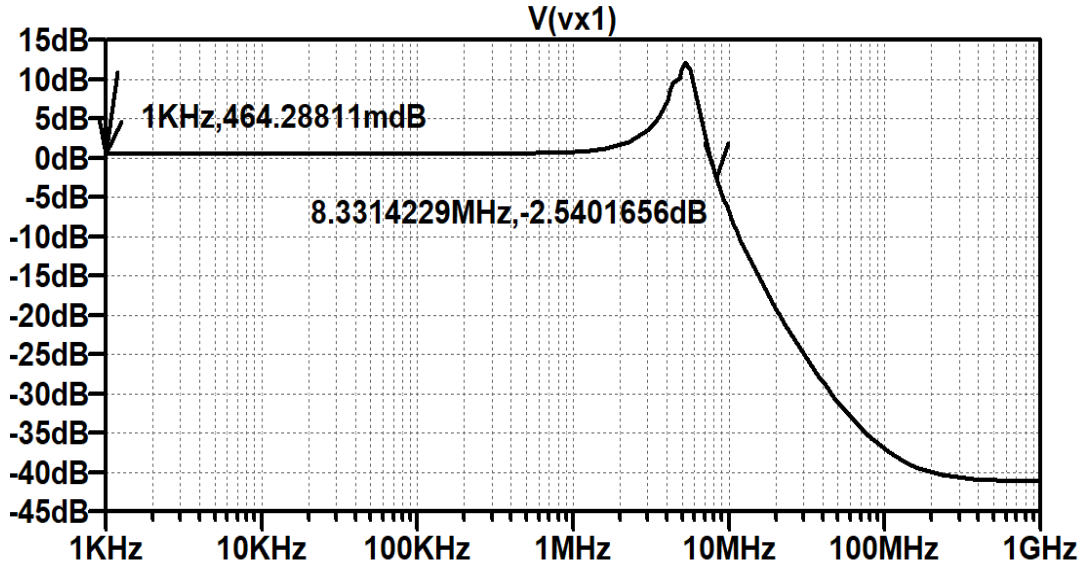
Şekil 3.32’de, önerilen DTMOS FDCCII devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -5nA ile 5n A arasında DC olarak taranmıştır. I_{X2} akım kaynağını step analizi ile -5nA ile 5nA arasında 2nA’lık artışlarla değiştirilmiştir.



Şekil 3.32: Önerilen DTMOS FDCCII devresinin DC akım izleme eğrileri (Step param I_{X2} -5n 5n 2n)

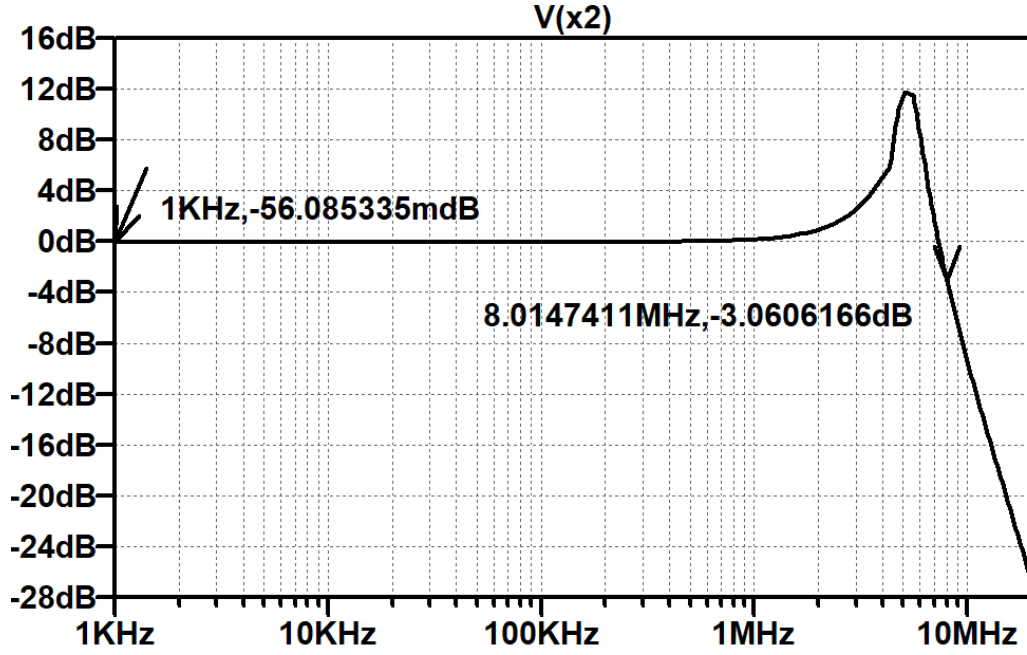
Şekil 3.33 – Şekil 3.36 önerilen DTMOS FDCCII devresinin gerilim izleme (V_{X1}/V_{Y1} , V_{X2}/V_{Y1} , V_{X1}/V_{Y2} , V_{X2}/V_{Y2} , V_{X1}/V_{Y3} , V_{X2}/V_{Y4}) eğrileri görülmektedir.

Şekil 3.33, Y1 ve X1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen DTMOS FDCCII devresinin V_{X1}/V_{Y1} gerilim izleme eğrisi yaklaşık 8.33MHz'lik bant genişliğine sahiptir.



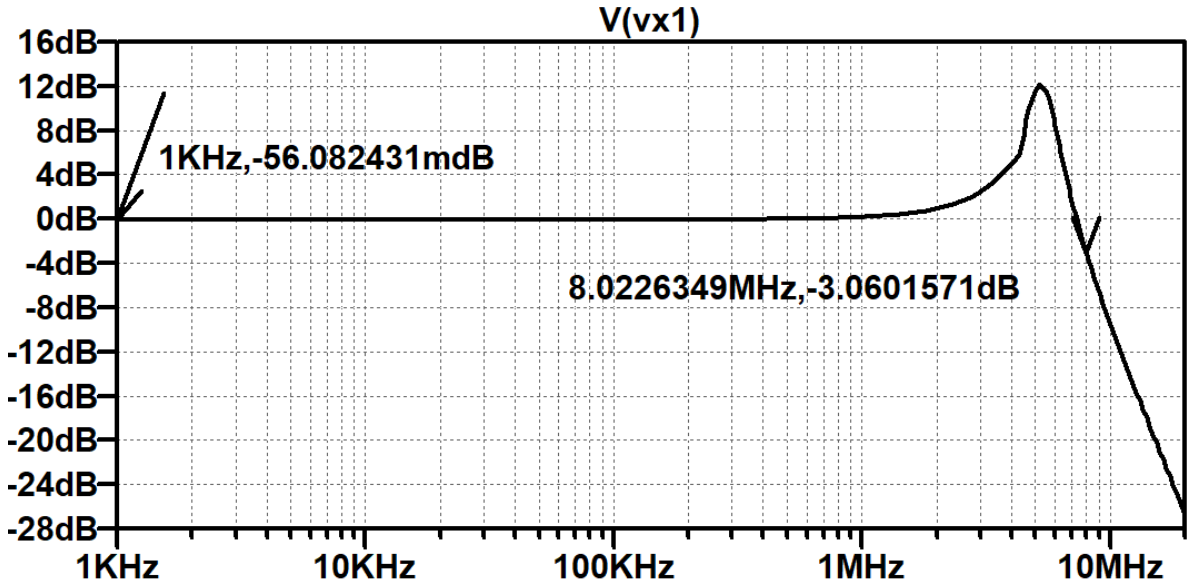
Şekil 3.33: Önerilen DTMOS FDCCII devresinin V_{X1}/V_{Y1} frekans cevabı

Şekil 3.34, Y1 ve X2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen DTMOS FDCCII devresinin V_{X2}/V_{Y1} gerilim izleme eğrisi yaklaşık 8.01MHz'lik bant genişliğine sahiptir.



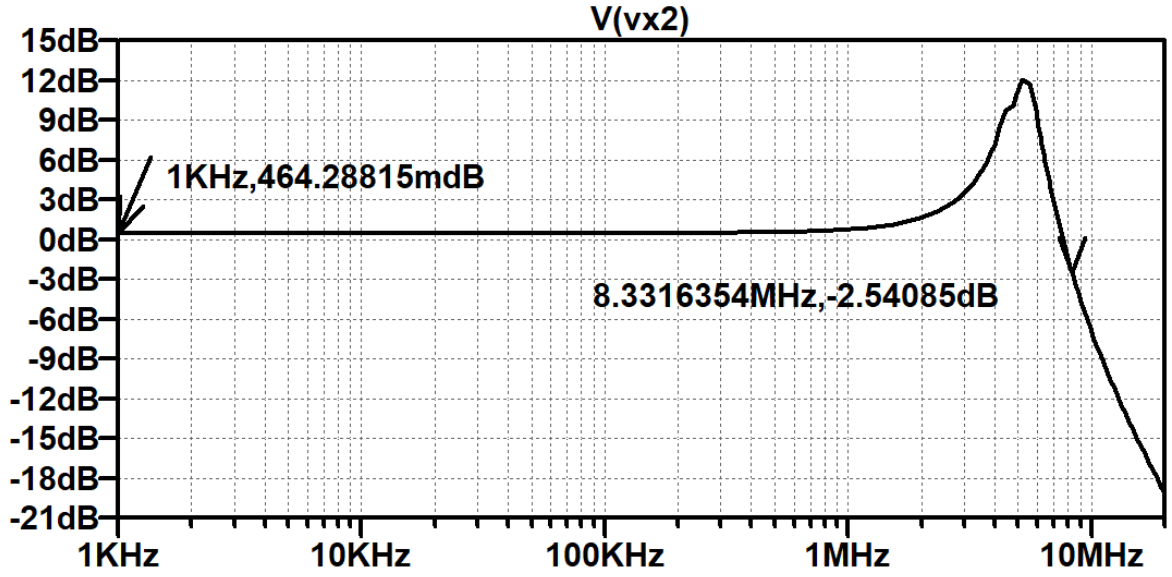
Şekil 3.34: Önerilen DT MOS FDCCII devresinin V_{X2}/V_{Y1} frekans cevabı

Şekil 3.35, Y_2 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen DT MOS FDCCII devresinin V_{X1}/V_{Y2} gerilim izleme eğrisi yaklaşık 8.02MHz'lık bant genişliğine sahiptir.



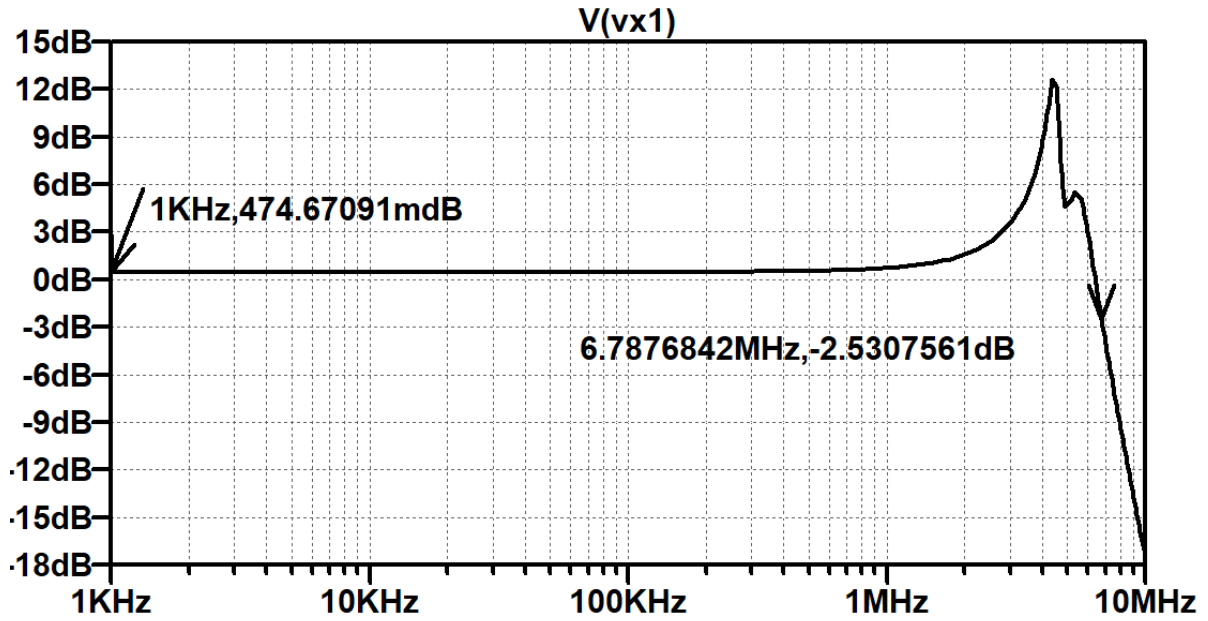
Şekil 3.35: Önerilen DT MOS FDCCII devresinin V_{X1}/V_{Y2} frekans cevabı

Şekil 3.36, Y_2 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen DT MOS FDCCII devresinin V_{X2}/V_{Y2} gerilim izleme eğrisi yaklaşık 8.33MHz'lık bant genişliğine sahiptir.



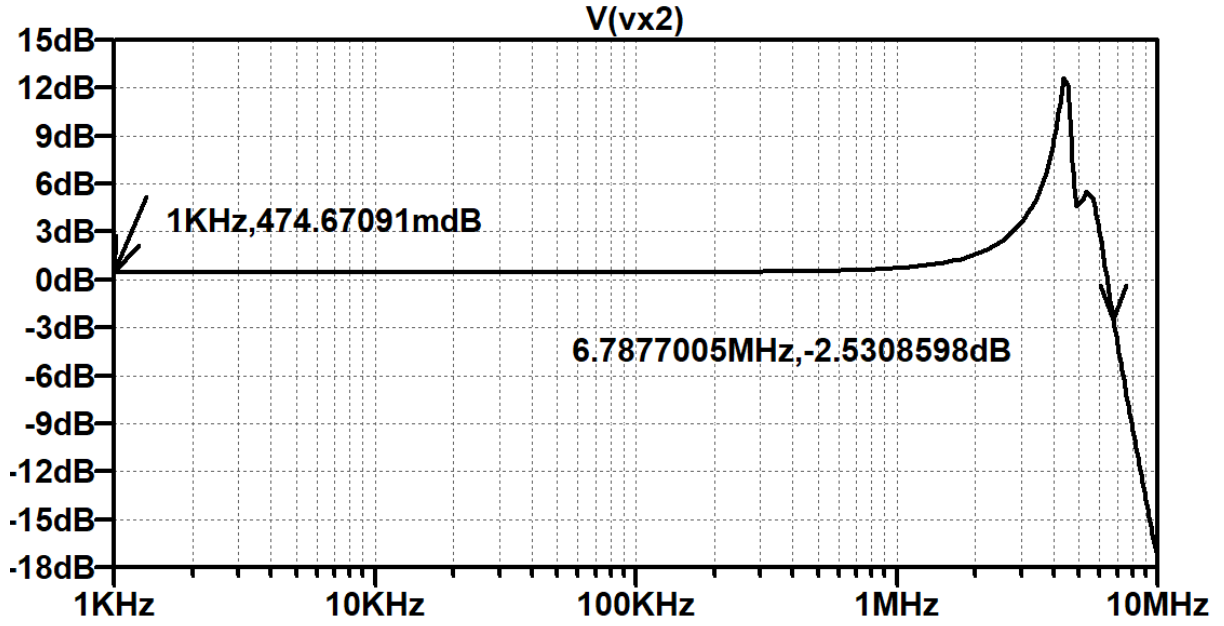
Şekil 3.36: Önerilen DT MOS FDCCII devresinin V_{X2}/V_{Y2} frekans cevabı

Şekil 3.37, Y_3 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. Önerilen DT MOS FDCCII devresinin V_{X1}/V_{Y3} gerilim izleme eğrisi yaklaşık 6.79MHz'lik bant genişliğine sahiptir.



Şekil 3.37: Önerilen DT MOS FDCCII devresinin V_{X1}/V_{Y3} frekans cevabı

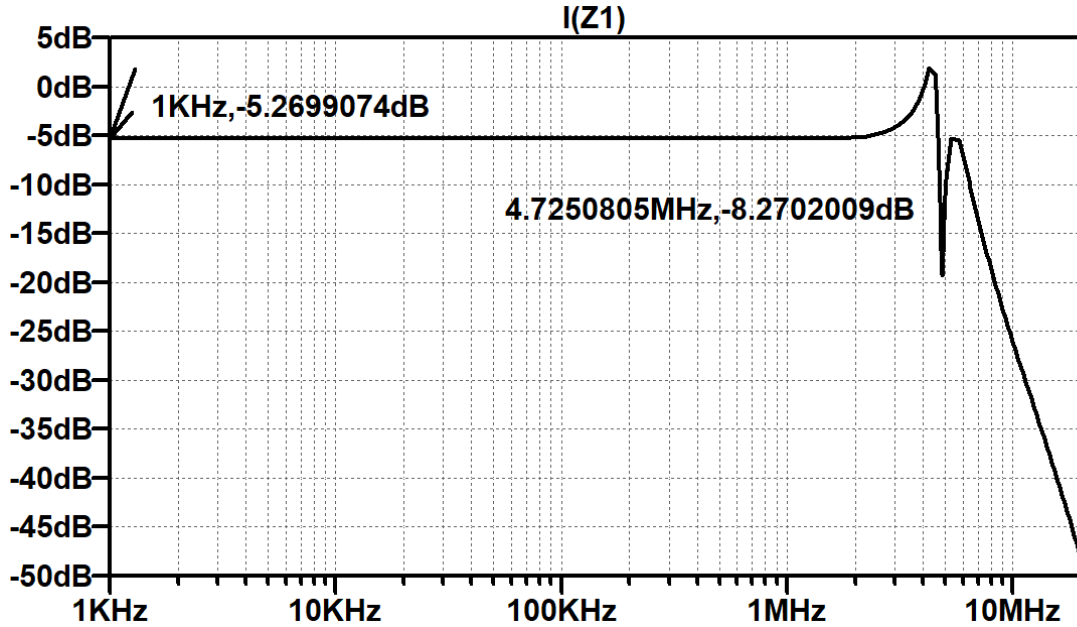
Şekil 3.38, Y_4 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y4} , 1V genliğinde AC sinyaldir. Önerilen DT MOS FDCCII devresinin V_{X2}/V_{Y4} gerilim izleme eğrisi yaklaşık 6.79MHz'lik bant genişliğine sahiptir.



Şekil 3.38: Önerilen DTMOS FDCCII devresinin V_{X2}/V_{Y4} frekans cevabı

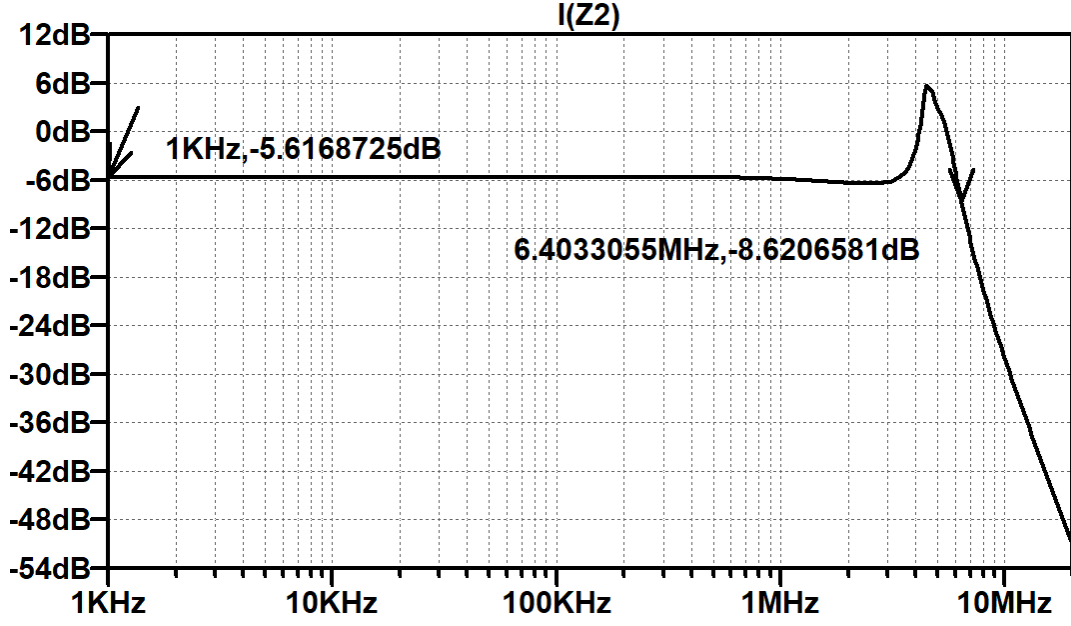
Şekil 3.39 – Şekil 3.42 Önerilen DTMOS FDCCII devresinin AC akım izleme (I_{Z1}/I_{X1} , I_{Z2}/I_{X1} , I_{Z1}/I_{X2} , I_{Z2}/I_{X2}) eğrileri görülmektedir.

Şekil 3.39, X_1 ve Z_1 uçları arasındaki kısa devre akımı yanıtını göstermektedir. I_{X1} , 1A genliğinde AC sinyaldir. Önerilen DTMOS FDCCII devresinin I_{Z1}/I_{X1} akım izleme eğrisi yaklaşık 4.73MHz'lik bant genişliğine sahiptir.



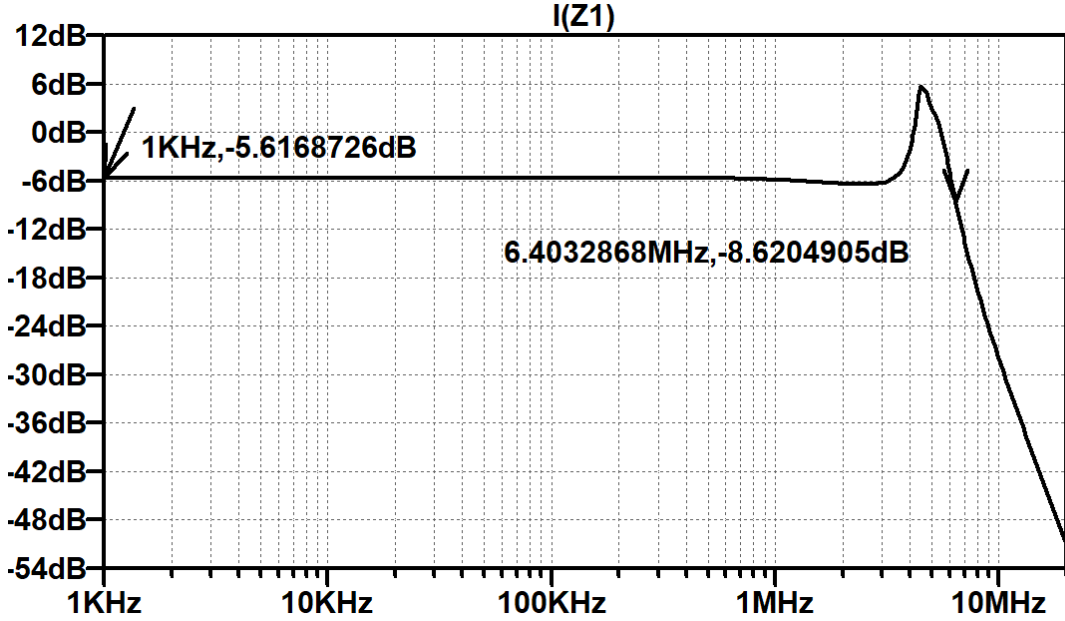
Şekil 3.39: Önerilen DTMOS FDCCII devresinin I_{Z1}/I_{X1} frekans cevabı

Şekil 3.40, X_1 ve Z_2 uçları arasındaki kısa devre akımı yanıtını göstermektedir. I_{X1} , 1A genliğinde AC sinyaldir. Önerilen DTMOS FDCCII devresinin I_{Z2}/I_{X1} akım izleme eğrisi yaklaşık 6.40MHz'lik bant genişliğine sahiptir.



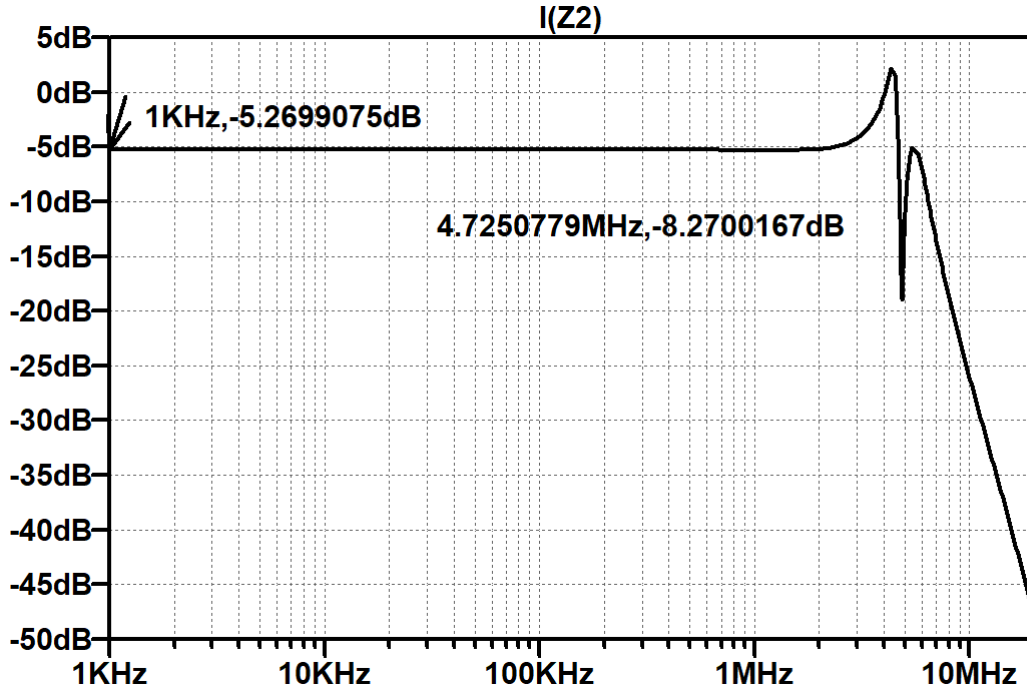
Şekil 3.40: Önerilen DT MOS FDCCII devresinin I_{Z2}/I_{X1} frekans cevabı

Şekil 3.41, X_2 ve Z_1 uçları arasındaki kısa devre akımı yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen DT MOS FDCCII devresinin I_{Z1}/I_{X2} akım izleme eğrisi yaklaşık 6.40MHz'lik bant genişliğine sahiptir.



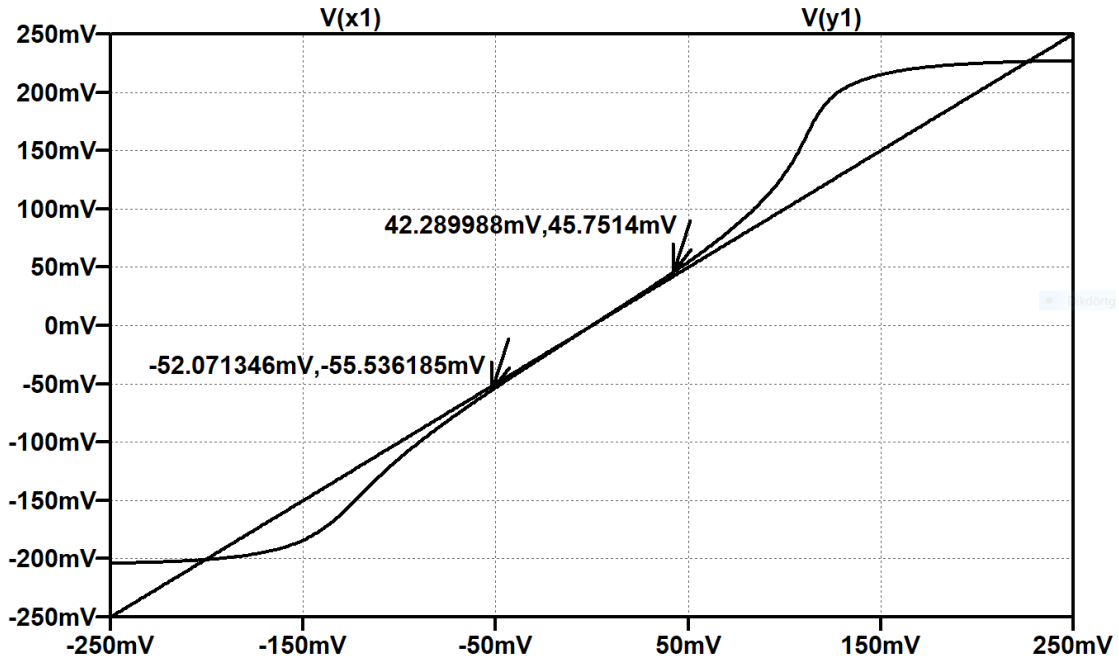
Şekil 3.41: Önerilen CMOS tabanlı FDCCII devresinin I_{Z1}/I_{X2} frekans cevabı

Şekil 3.42, X_2 ve Z_2 uçları arasındaki kısa devre akımı yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen DT MOS FDCCII devresinin I_{Z2}/I_{X2} akım izleme eğrisi yaklaşık 4.73MHz'lik bant genişliğine sahiptir.



Şekil 3.42: Önerilen DTMOS FDCCII devresinin I_{Z2}/I_{X2} frekans cevabı

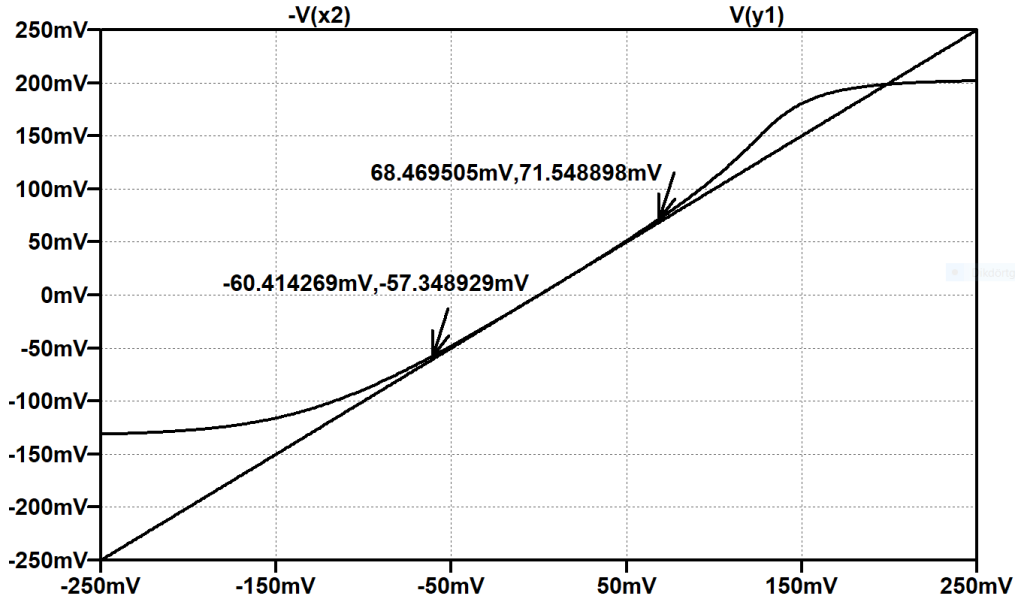
Şekil 3.43, önerilen DTMOS FDCCII devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.25V ile 0.25V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{X1} gerilimi, -52.07mV ile 42.29mV aralığında V_{Y1} gerilimini izlemektedir.



Şekil 3.43: Önerilen DTMOS FDCCII devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiği

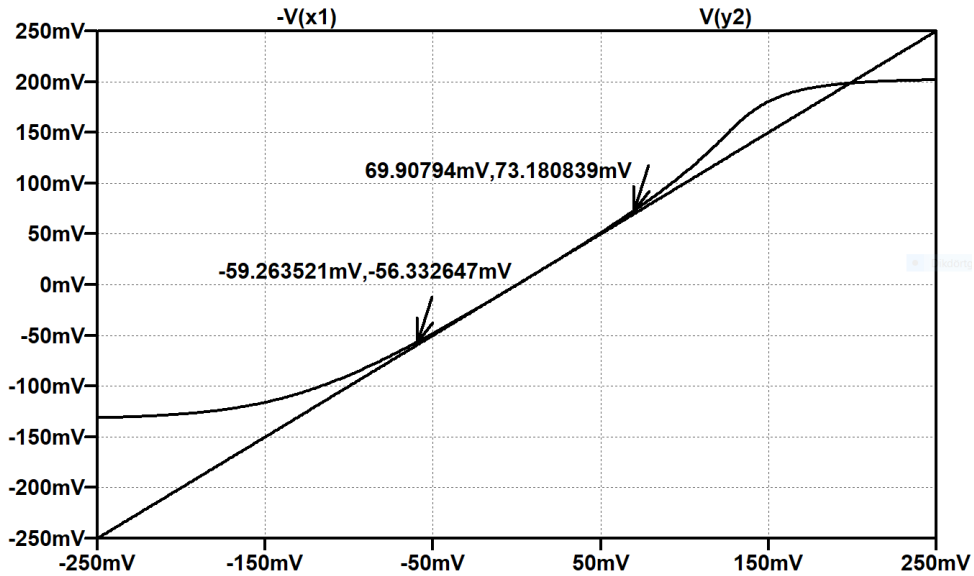
Şekil 3.44, önerilen DTMOS FDCCII devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.25V ile 0.25V arasında değişirken X_2 ucundaki gerilim

değişimi gösterilmiştir. $-V_{X2}$ gerilimi, -60.41mV ile 68.47mV aralığında V_{Y2} gerilimini izlemektedir.



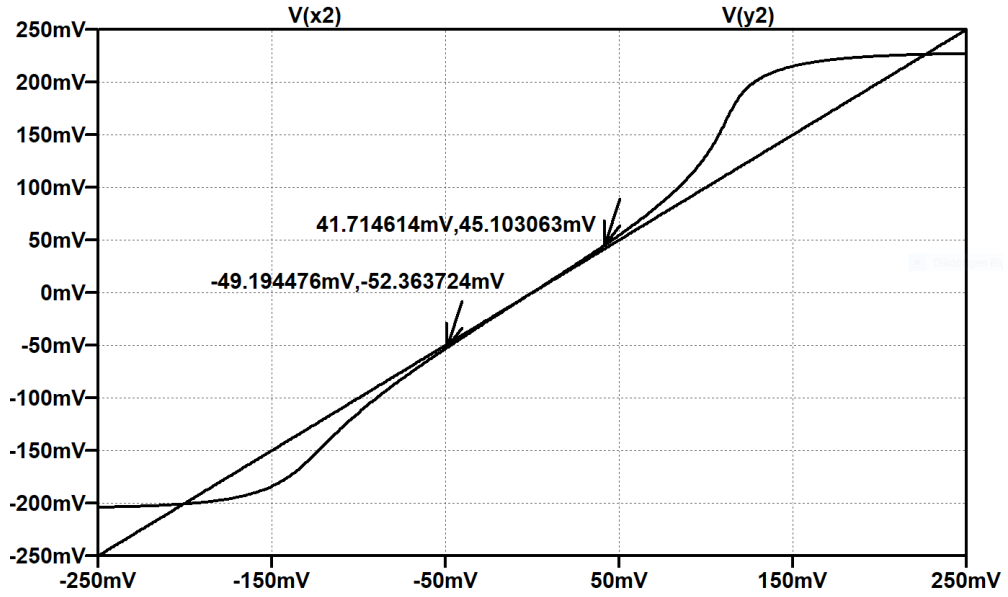
Şekil 3.44: Önerilen DTMOS FDCCII devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.45, önerilen DTMOS FDCCII devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi -0.25V ile 0.14V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. $-V_{X1}$ gerilimi, -59.26mV ile 69.91mV aralığında V_{Y2} gerilimini izlemektedir.



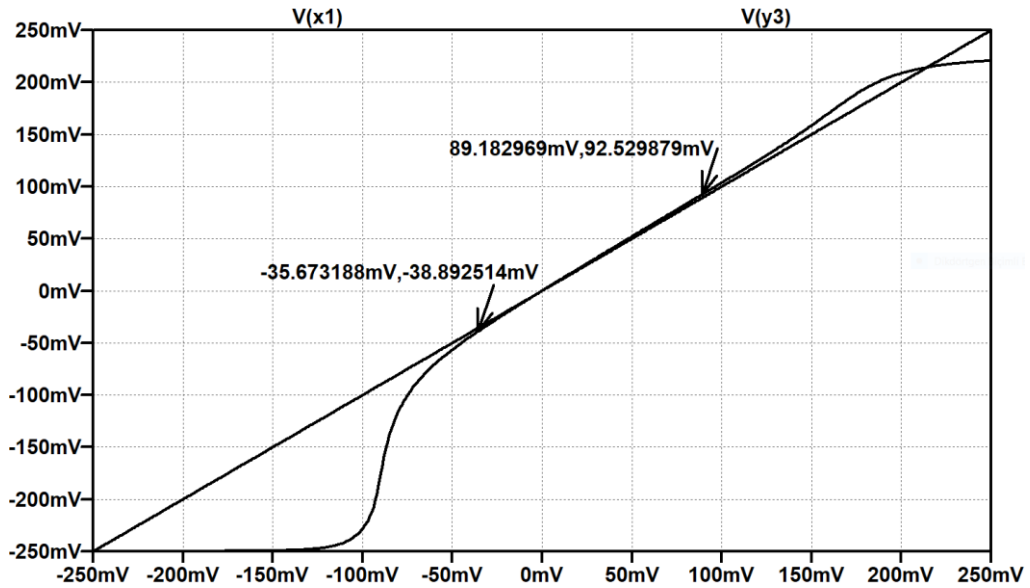
Şekil 3.45: Önerilen DTMOS FDCCII devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.46, önerilen DTMOS FDCCII devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi -0.25V ile 0.25V arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. V_{X2} gerilimi, -49.19mV ile 41.71mV aralığında V_{Y2} gerilimini izlemektedir.



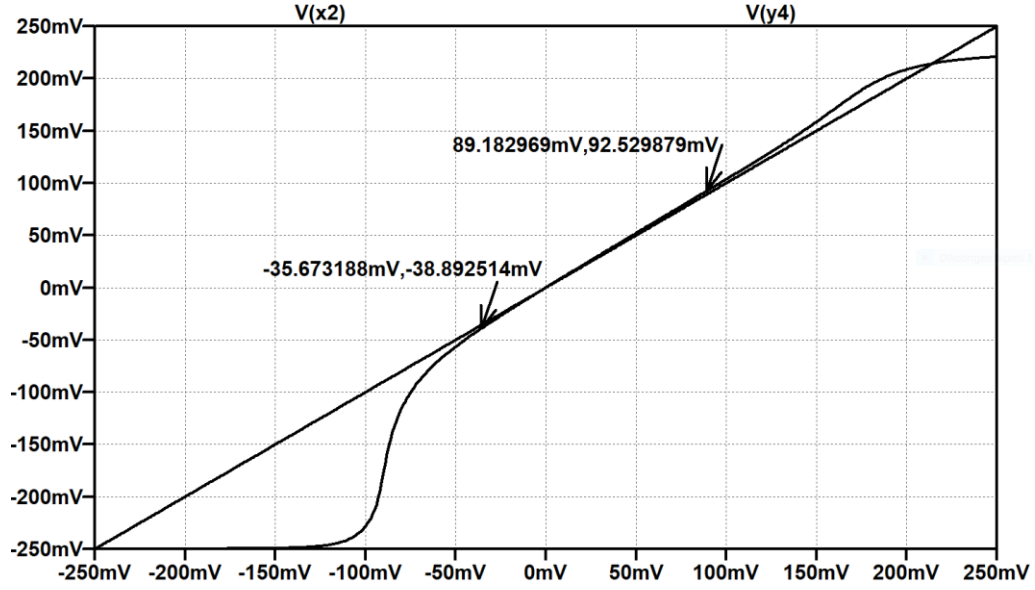
Şekil 3.46: Önerilen DTMOS FDCCII devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.47, DTMOS FDCCII devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiğini göstermektedir. V_{Y3} 'ün DC gerilimi -0.25V ile 0.25V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{X1} gerilimi, -35.67mV ile 89.18mV aralığında V_{Y3} gerilimini izlemektedir.



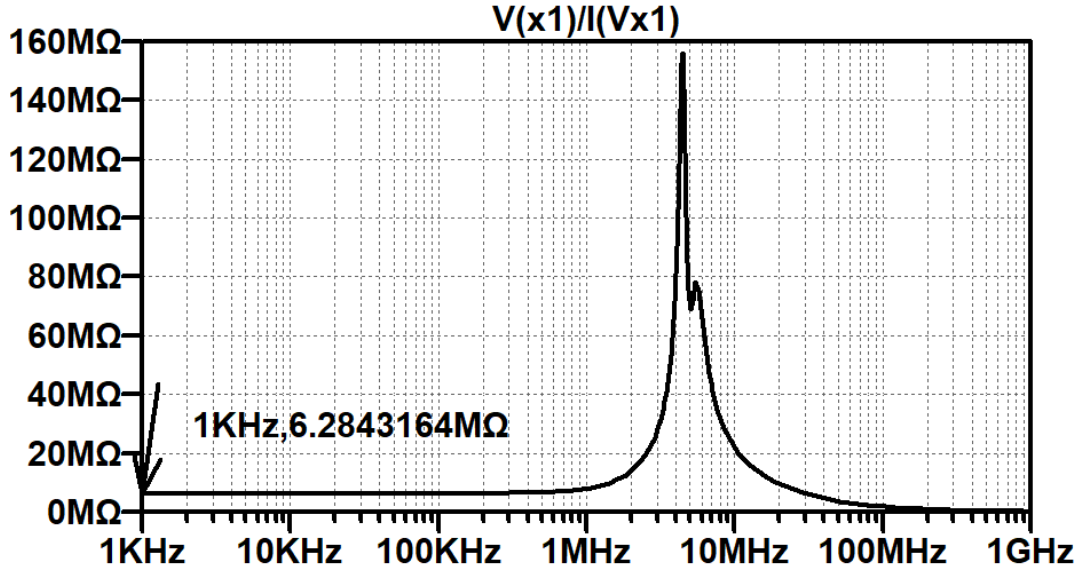
Şekil 3.47: Önerilen DTMOS FDCCII devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiği

Şekil 3.48, önerilen DTMOS FDCCII devresinin V_{X2} - V_{Y4} DC gerilim transfer karakteristiğini göstermektedir. V_{Y3} 'ün DC gerilimi -0.25V ile 0.25V arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. V_{X2} gerilimi, -35.67mV ile 89.18mV aralığında V_{Y4} gerilimini izlemektedir.



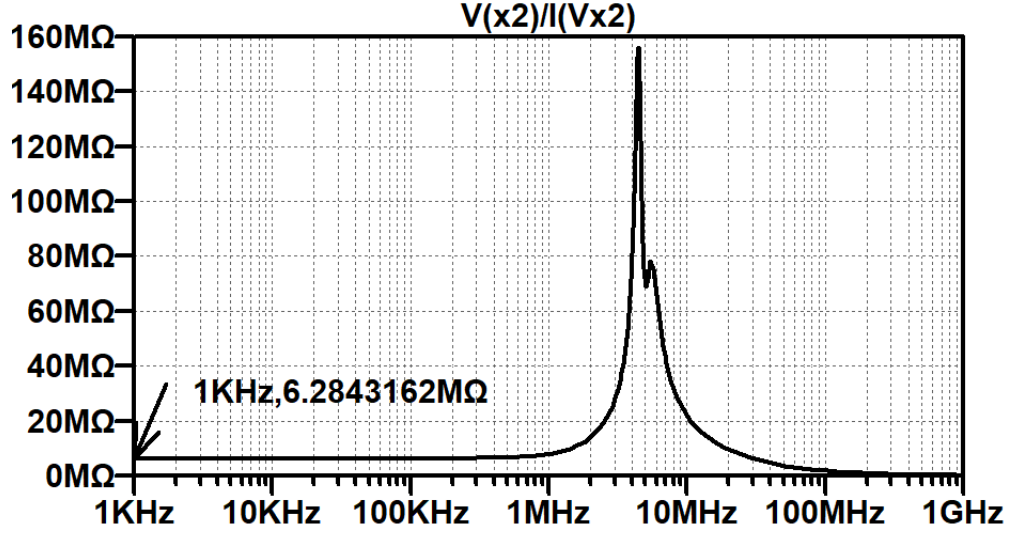
Şekil 3.48: Önerilen DT MOS FDCCII devresinin V_{x2} - V_{y4} DC gerilim transfer karakteristiği

Şekil 3.49, önerilen DT MOS FDCCII devresinin X_1 çıkış empedansının frekans cevabını göstermektedir. X_2 ucu açık devre bırakılmıştır. V_{x1} , 1 V genliğinde AC sinyaldir. Y_1 , Y_2 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DT MOS FDCCII devresinin X_1 düğümündeki parazitik empedans değerinin $6.28\text{M}\Omega$ olduğu görülmüştür.



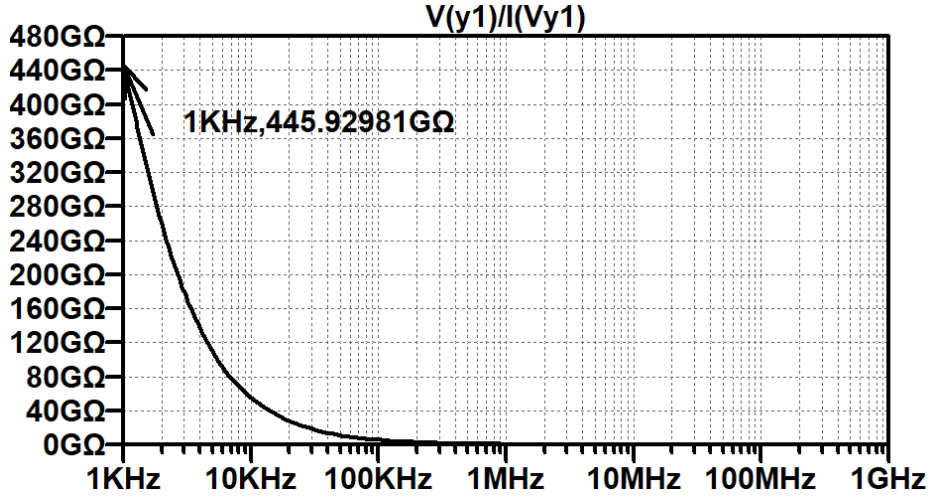
Şekil 3.49: Önerilen DT MOS FDCCII devresinin X_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.50, önerilen DT MOS FDCCII devresinin X_2 çıkış empedansının frekans cevabını göstermektedir. V_{x2} , 1 V genliğinde AC sinyaldir. X_1 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DT MOS FDCCII devresinin X_2 düğümündeki parazitik empedans değerinin $6.28\text{M}\Omega$ olduğu görülmüştür.



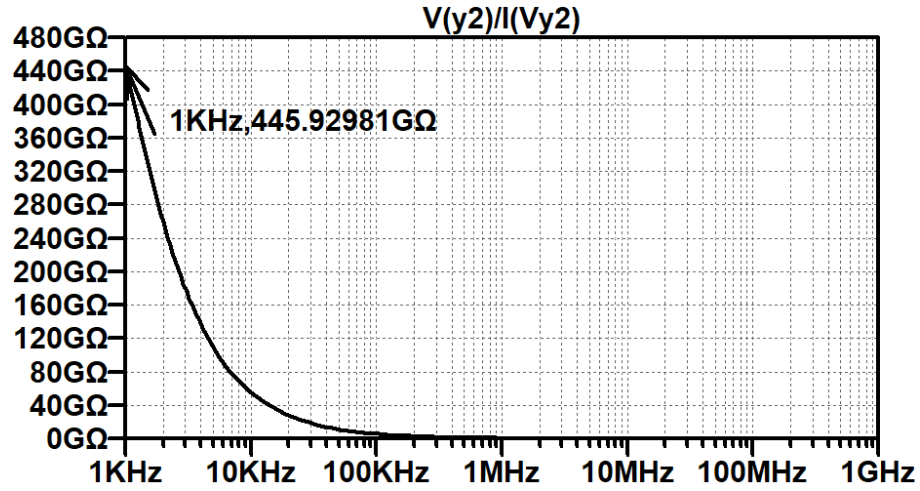
Şekil 3.50: Önerilen DT MOS FDCCII devresinin X_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.51, önerilen DT MOS FDCCII devresinin Y_1 çıkış empedansının frekans cevabını göstermektedir. V_{Y1} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_2 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DT MOS FDCCII devresinin Y_1 düğümündeki parazitik empedans değerinin 445.93GΩ olduğu görülmüştür.



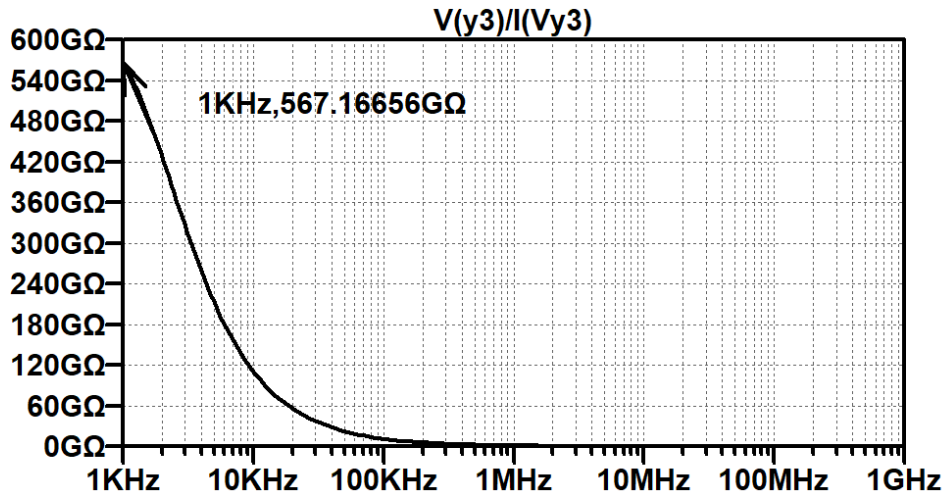
Şekil 3.51: Önerilen DT MOS FDCCII devresinin Y_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.52, önerilen DT MOS FDCCII devresinin Y_2 çıkış empedansının frekans cevabını göstermektedir. V_{Y2} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DT MOS FDCCII devresinin Y_2 düğümündeki parazitik empedans değerinin 445.93GΩ olduğu görülmüştür.



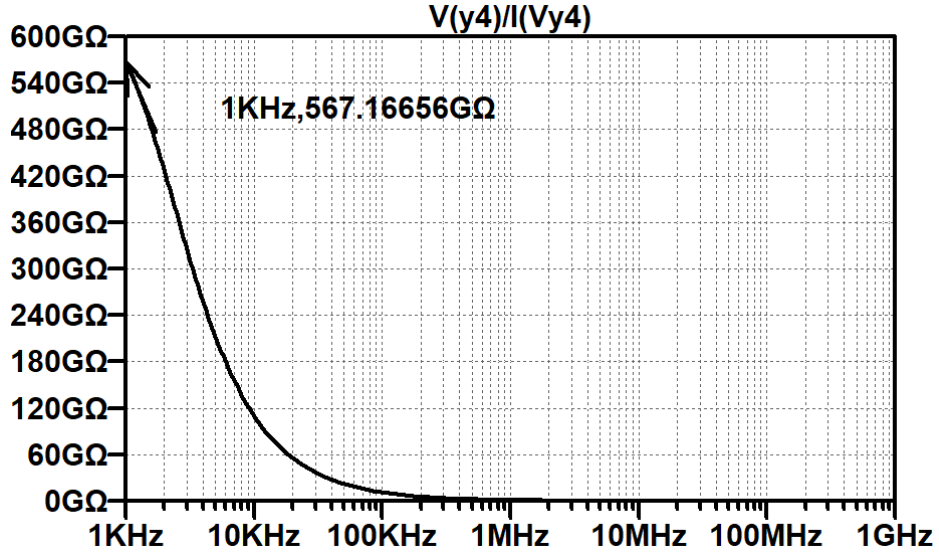
Şekil 3.52: Önerilen DT MOS FDCCII devresinin Y_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.53, önerilen DT MOS FDCCII devresinin Y_3 çıkış empedansının frekans cevabını göstermektedir. V_{Y3} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DT MOS FDCCII devresinin Y_3 düğümündeki parazitik empedans değerinin 567.17GΩ olduğu görülmüştür.



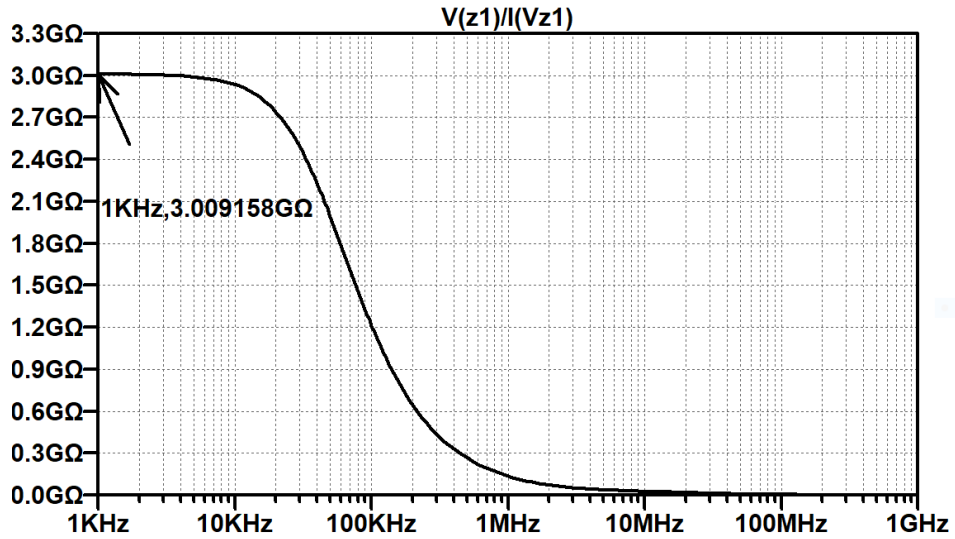
Şekil 3.53: Önerilen DT MOS FDCCII devresinin Y_3 düğümünde görülen parazitik empedans eğrisi

Şekil 3.54, önerilen DT MOS FDCCII devresinin Y_4 çıkış empedansının frekans cevabını göstermektedir. V_{Y4} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DT MOS FDCCII devresinin Y_4 düğümündeki parazitik empedans değerinin 567.17GΩ olduğu görülmüştür.



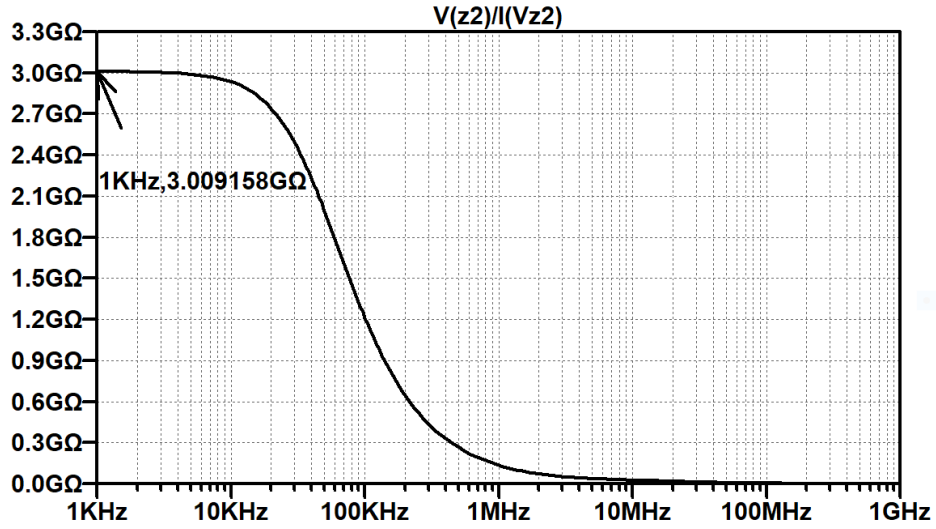
Şekil 3.54: Önerilen DT MOS FDCCII devresinin Y_4 d düğümünde görülen parazitik empedans eğrisi

Şekil 3.55, önerilen DT MOS FDCCII devresinin Z_1 çıkış empedansının frekans cevabını göstermektedir. V_{Z1} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DT MOS FDCCII devresinin Z_1 düğümündeki parazitik empedans değerinin $3.01G\Omega$ olduğu görülmüştür.



Şekil 3.55: Önerilen DT MOS FDCCII devresinin Z_1 düğümünde görülen parazitik empedans eğrisi

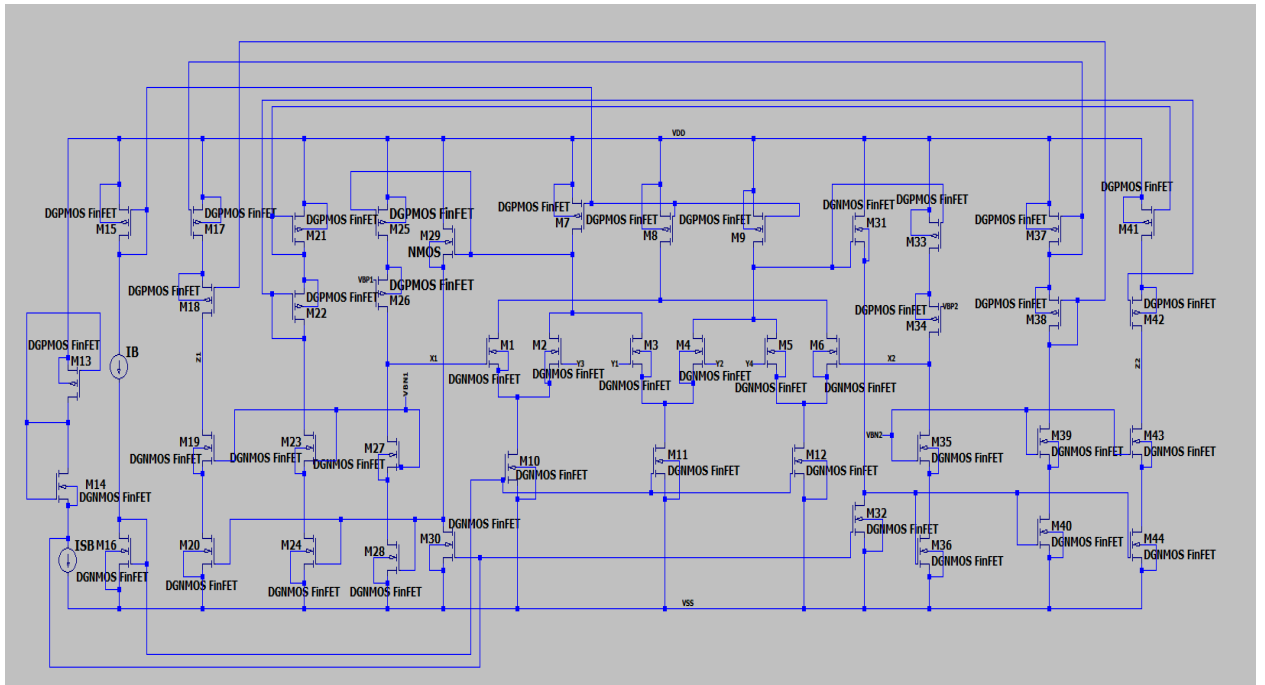
Şekil 3.56, önerilen DT MOS FDCCII devresinin Z_2 çıkış empedansının frekans cevabını göstermektedir. V_{Z2} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 ve Z_1 uçları toprağa kısa devre edilmiştir. Önerilen DT MOS FDCCII devresinin Z_2 düğümündeki parazitik empedans değerinin $3.01G\Omega$ olduğu görülmüştür.



Şekil 3.56: Önerilen DTMOS FDCCII devresinin Z_2 düğümünde görülen parazitik empedans eğrisi

3.3 FinFET FDCCII

Şekil 3.57’de önerilen FinFET tabanlı FDCCII devresi görülmektedir. FinFET tabanlı FDCCII devresi LTSpice programında 45nm PTM parametreleri kullanılarak tasarlanmıştır. FinFET tabanlı FDCCII devresinde besleme ve kutuplama gerilimlerine $V_{DD} = -V_{SS} = 0.3V$, $V_{BP1} = V_{BP2} = 0.2V$, $V_{BN1} = V_{BN2} = 0V$ gerilimleri uygulanmıştır. Kutuplama akımı $I_B = I_{SB} = 10nA$ seçilmiştir. DGNMOS FinFET ve DGPMOS FinFET transistörlerin boyutları tablo 3.3’te verilmiştir.

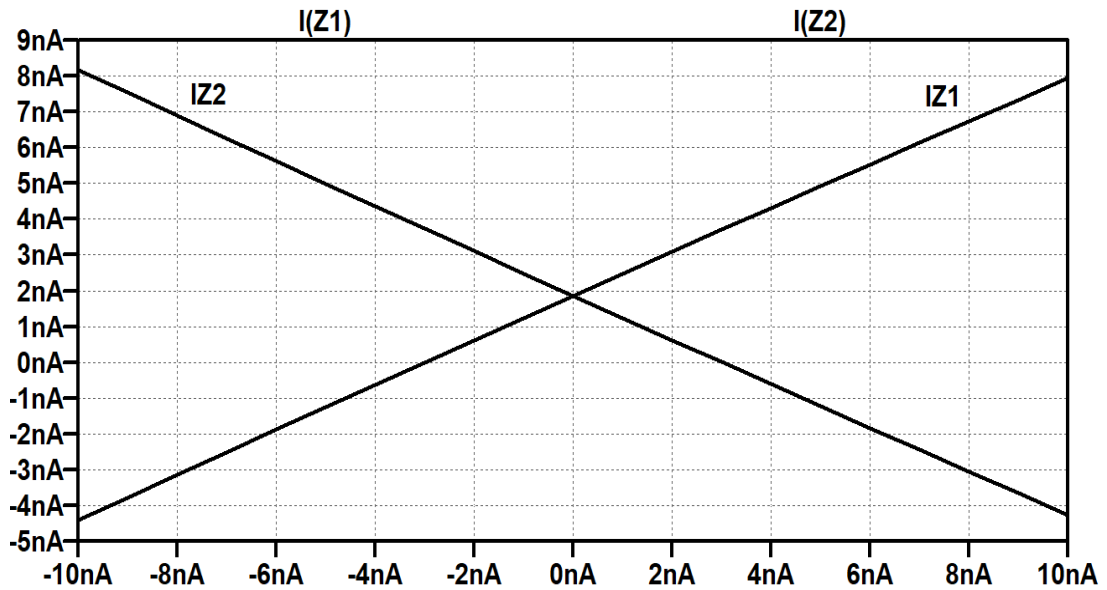


Şekil 3.57: Önerilen FinFET FDCCII devresi

Tablo 3.3: Önerilen FinFET FDCCII Devresindeki FinFET'lerin Boyutlandırılması

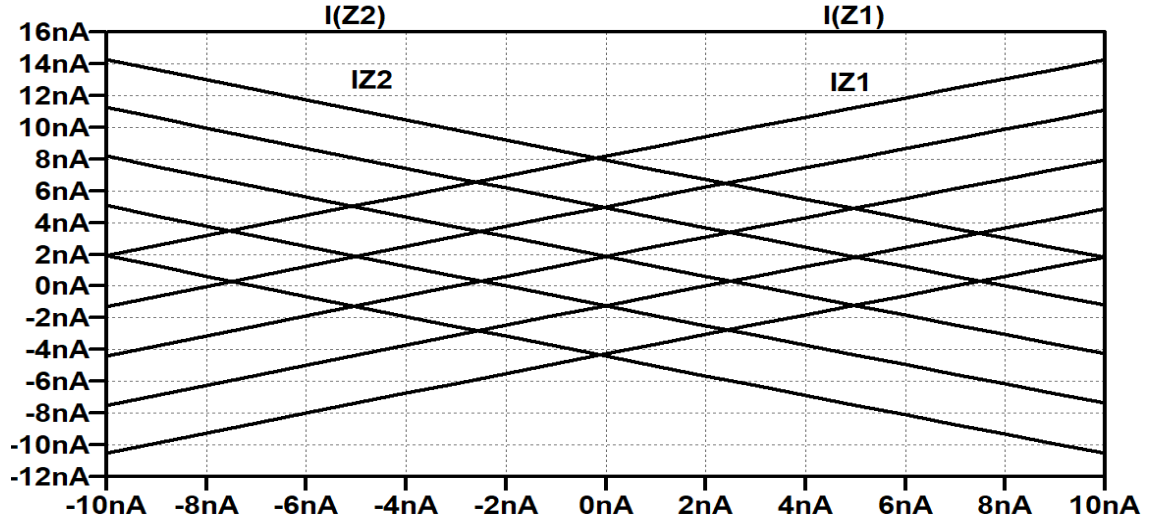
FinFET	DGNMOS/DGPMOS	W(nm)	L(nm)
M1- M6	DGNMOS FinFET	360nm	90nm
M7-M9, M15	DGPMOS FinFET	900nm	90nm
M10-M12, M16, M19, M20 M23, M24, M27, M28, M29, M30, M31, M32, M35, M36, M39, M40, M43, M44	DGNMOS FinFET	180nm	90nm
M17, M18, M21, M22, M25, M26 M33, M34, M35, M36, M37, M38, M41, M42	DGPMOS FinFET	500nm	90nm
M13	DGPMOS FinFET	420nm	90nm
M14	DGNMOS FinFET	90nm	90nm

Şekil 3.58’de önerilen FinFET FDCCII devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -10nA ile 10n A arasında DC olarak taranmıştır. Şekilde de görüldüğü gibi Z_1 ’in çıkış akımı pozitif yönde maksimum 7.94nA, negatif yönde maksimum -4.41nA’dır. Z_2 ’nin çıkış akımı pozitif yönde maksimum 8.18nA, negatif yönde maksimum -4.26nA’dır. Çıkış akım eğrileri x ekseninde 0 nA, y ekseninde 1.86nA’de kesişmektedir.



Şekil 3.58: Önerilen FinFET FDCCII devresinin DC akım izleme eğrileri

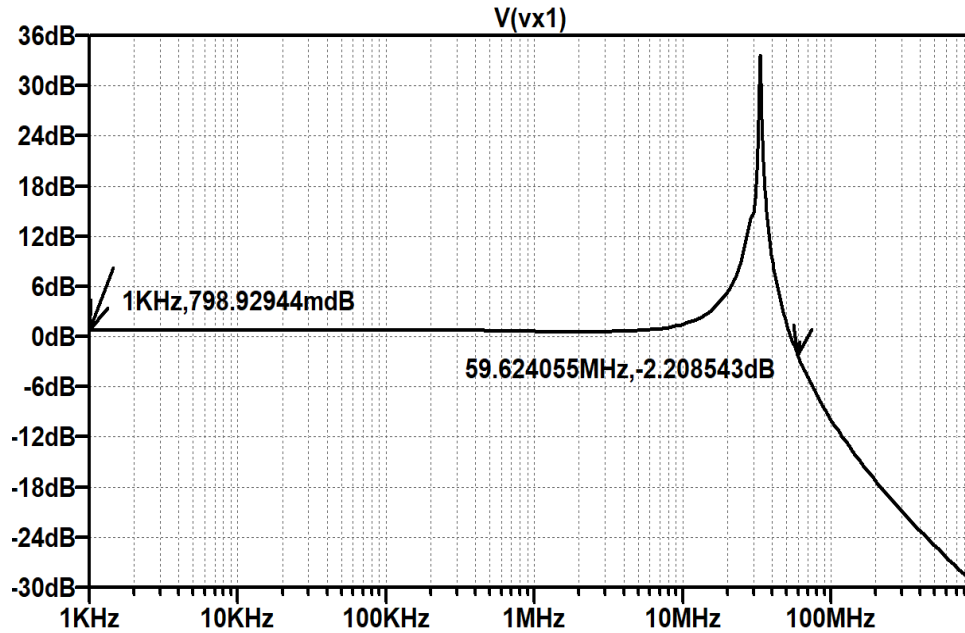
Şekil 3.59’da, önerilen FinFET FDCCII devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -10nA ile 10n A arasında DC olarak taranmıştır. I_{X2} akım kaynağı step analizi ile -10nA ile 10nA arasında 5nA’lık artışlarla değiştirilmiştir.



Şekil 3.59: Önerilen FinFET FDCCII devresinin DC akım eğrileri (Step param I_{X2} -10n 10n 5n)

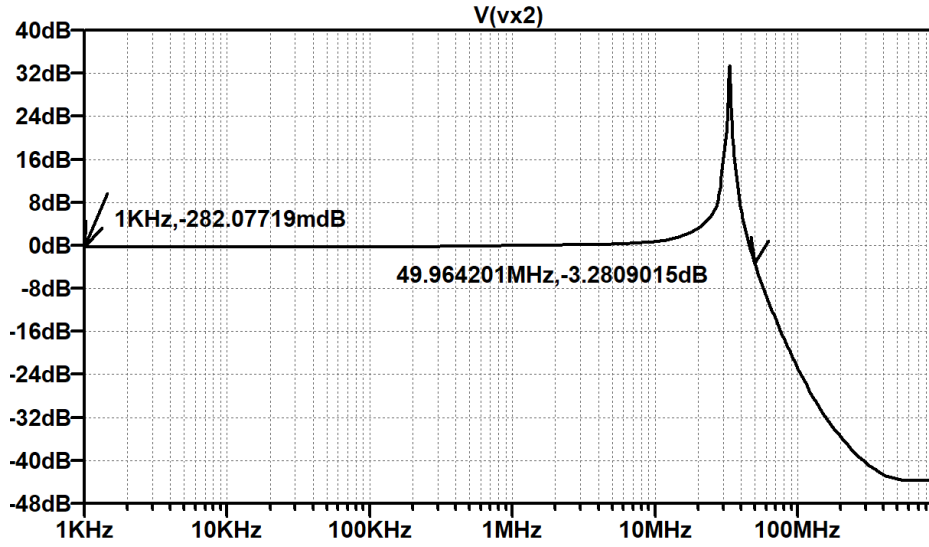
Şekil 3.60 - Şekil 3.65 önerilen FinFET FDCCII devresinin gerilim izleme (V_{X1}/V_{Y1} , V_{X2}/V_{Y1} , V_{X1}/V_{Y2} , V_{X2}/V_{Y2} , V_{X1}/V_{Y3} , V_{X2}/V_{Y4}) eğrileri görülmektedir.

Şekil 3.60 , Y_1 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. Y_1 , 1V genliğinde AC sinyaldir. Önerilen FinFET FDCCII devresinin V_{X1}/V_{Y1} gerilim izleme eğrisi yaklaşık 59.62MHz'lik bant genişliğine sahiptir.



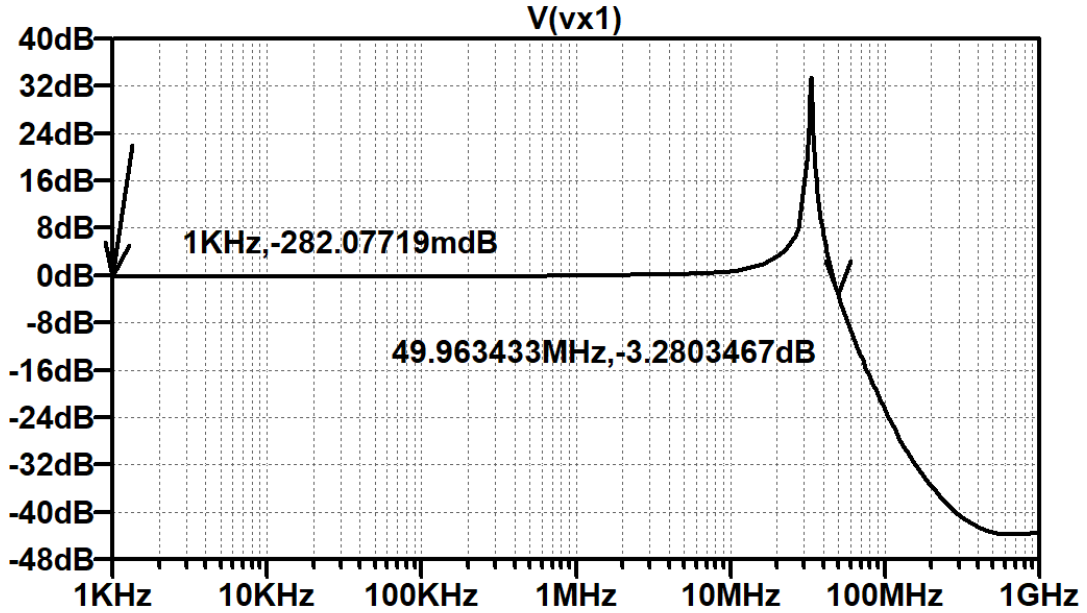
Şekil 3.60: Önerilen FinFET FDCCII devresinin V_{X1}/V_{Y1} frekans cevabı

Şekil 3.61 , Y_1 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen FinFET FDCCII devresinin V_{X2}/V_{Y1} gerilim izleme eğrisi yaklaşık 49.96MHz'lik bant genişliğine sahiptir.



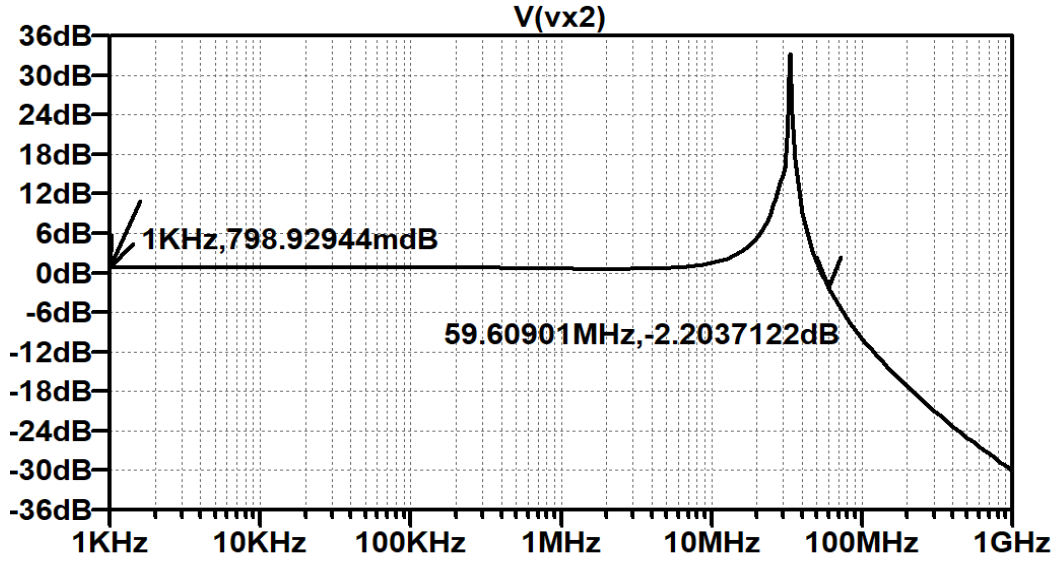
Şekil 3.61: Önerilen FinFET tabanlı FDCCII devresinin V_{X2}/V_{Y1} frekans cevabı

Şekil 3.62, Y_2 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen FinFET FDCCII devresinin V_{X1}/V_{Y2} gerilim izleme eğrisi yaklaşık 49.96MHz'lik bant genişliğine sahiptir.



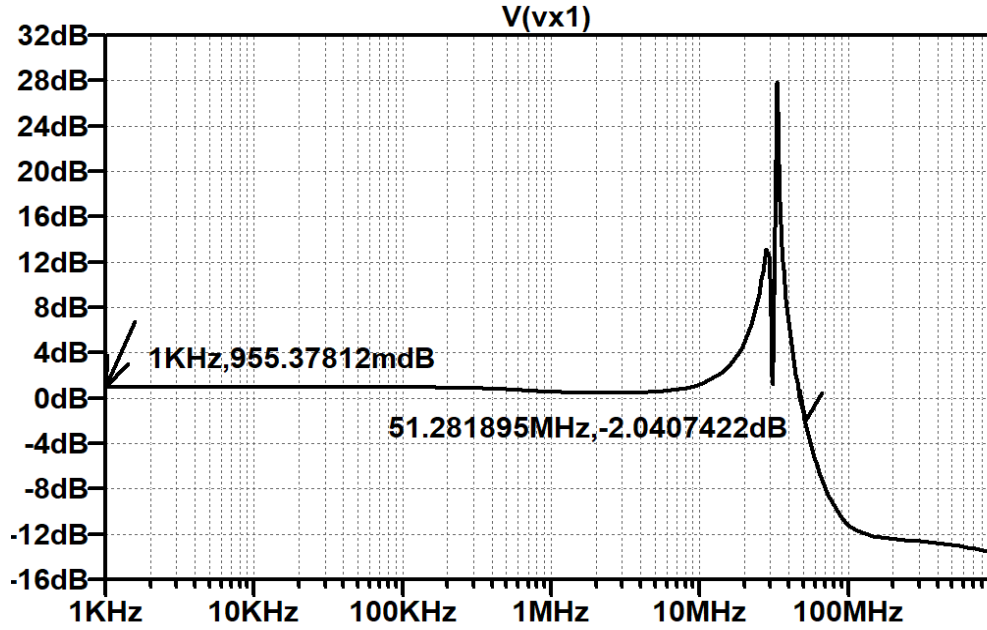
Şekil 3.62: Önerilen FinFET FDCCII devresinin V_{X1}/V_{Y2} frekans cevabı

Şekil 3.63, Y_2 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen FinFET FDCCII devresinin V_{X2}/V_{Y2} gerilim izleme eğrisi yaklaşık 59.61MHz'lik bant genişliğine sahiptir.



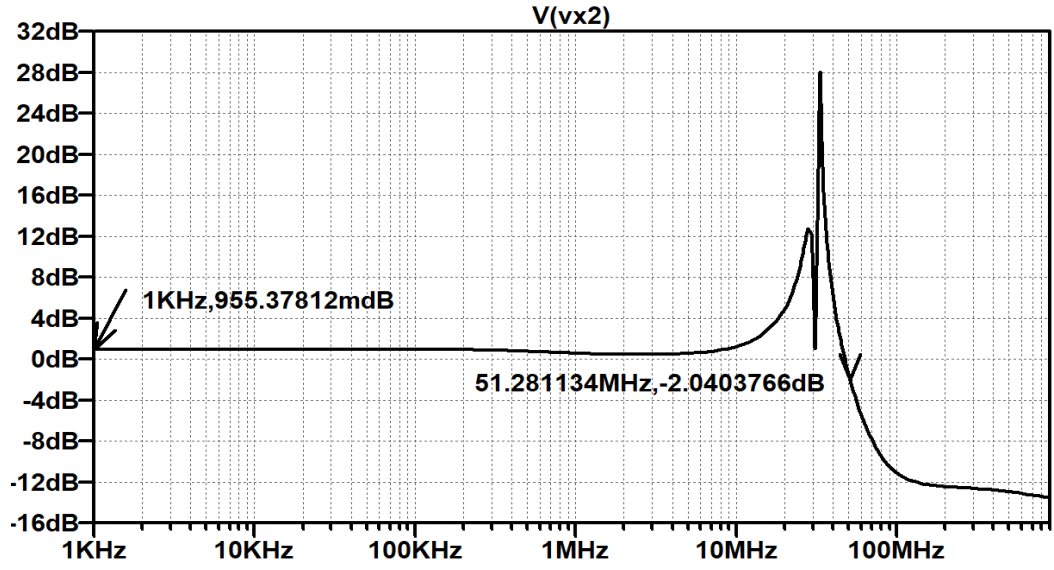
Şekil 3.63: Önerilen FinFET FDCCII devresinin V_{X2}/V_{Y2} frekans cevabı

Şekil 3.64 , Y_3 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir.Önerilen FinFET FDCCII devresinin V_{X1}/V_{Y3} gerilim izleme eğrisi yaklaşık 51.28MHz'lik bant genişliğine sahiptir.



Şekil 3.64: Önerilen FinFET FDCCII devresinin V_{X1}/V_{Y3} frekans cevabı

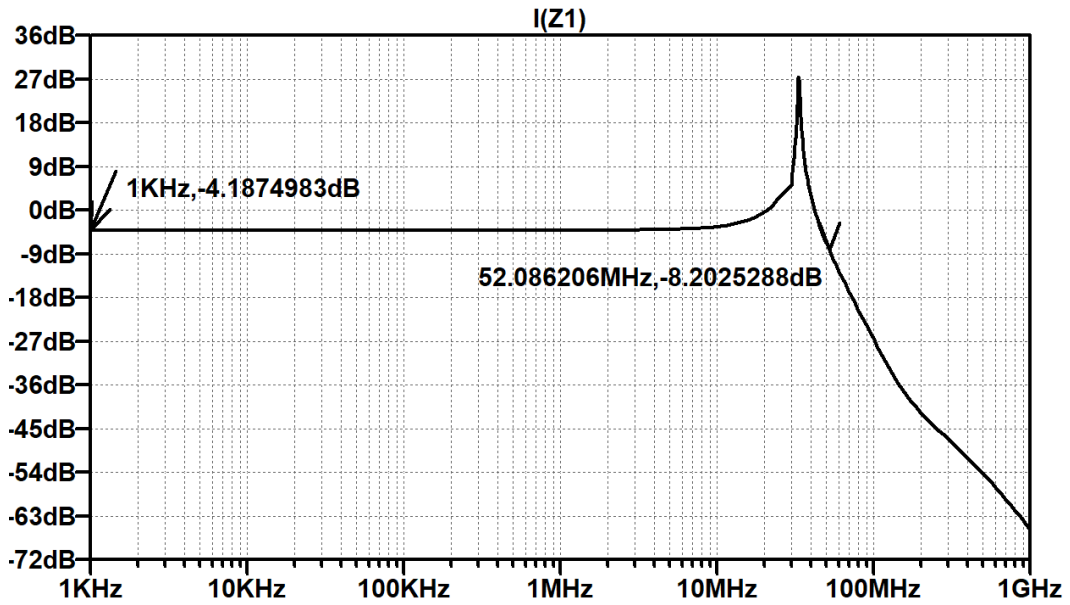
Şekil 3.65 , Y_4 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y4} , 1V genliğinde AC sinyaldir.Önerilen FinFET FDCCII devresinin V_{X2}/V_{Y4} gerilim izleme eğrisi yaklaşık 51.28MHz'lik bant genişliğine sahiptir.



Şekil 3.65: Önerilen FinFET FDCCII devresinin V_{X2}/V_{Y4} frekans cevabı

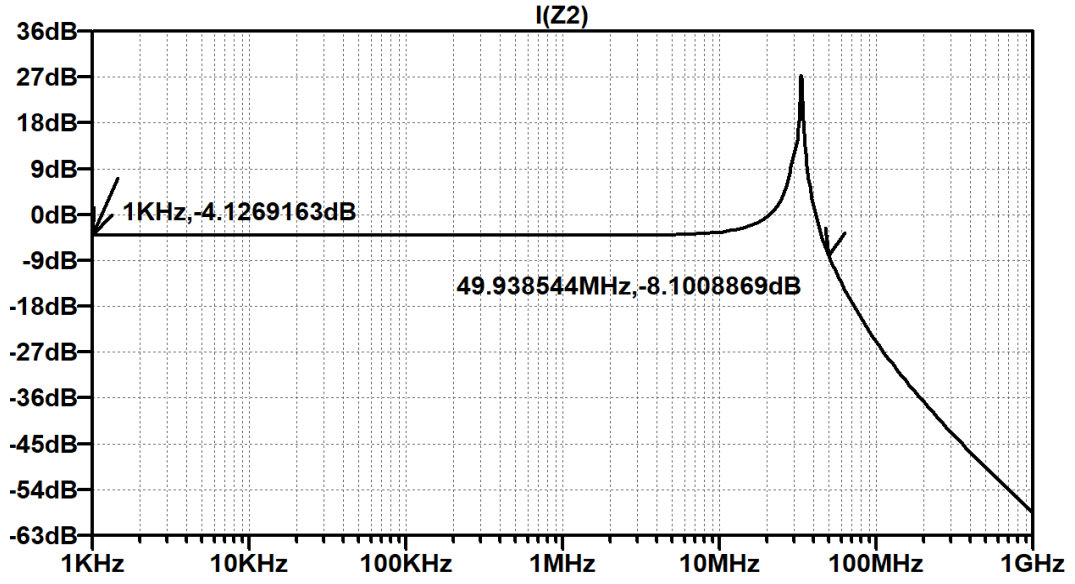
Şekil 3.66 - Şekil 3.68 önerilen FinFET FDCCII devresinin AC akım izleme (I_{Z1}/I_{X1} , I_{Z2}/I_{X1} , I_{Z1}/I_{X2} , I_{Z2}/I_{X2}) eğrileri görülmektedir.

Şekil 3.66, X_1 ve Z_1 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X1} , 1A genliğinde AC sinyaldir. Önerilen FinFET FDCCII devresinin I_{Z1}/I_{X1} akım izleme eğrisi yaklaşık 52.09MHz'lik bant genişliğine sahiptir.



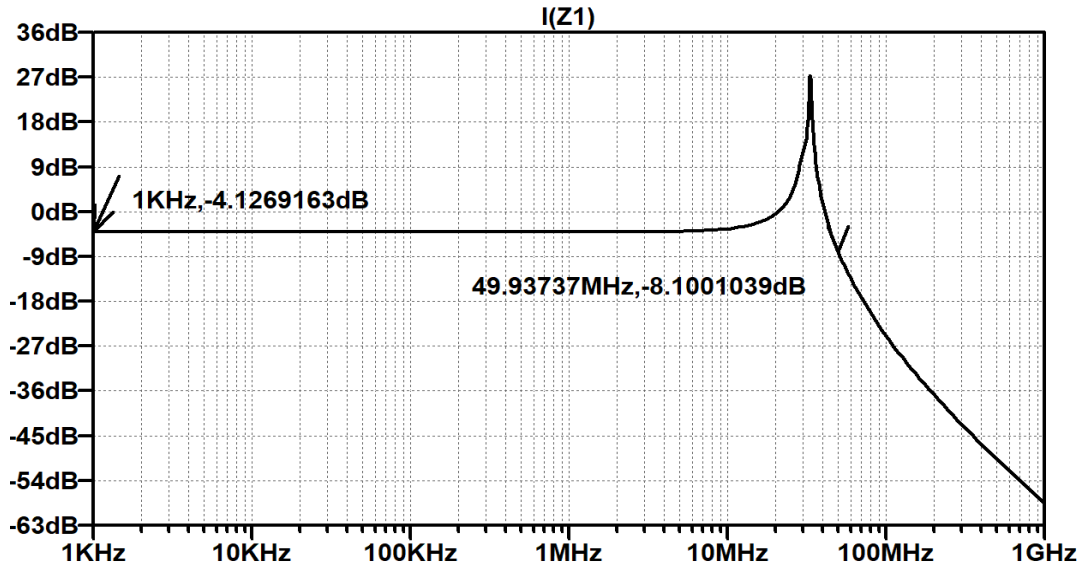
Şekil 3.66: Önerilen FinFET FDCCII devresinin I_{Z1}/I_{X1} frekans cevabı

Şekil 3.67, X_1 ve Z_2 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X1} , 1A genliğinde AC sinyaldir. Önerilen FinFET FDCCII devresinin I_{Z2}/I_{X1} akım izleme eğrisi yaklaşık 49.94MHz'lik bant genişliğine sahiptir.



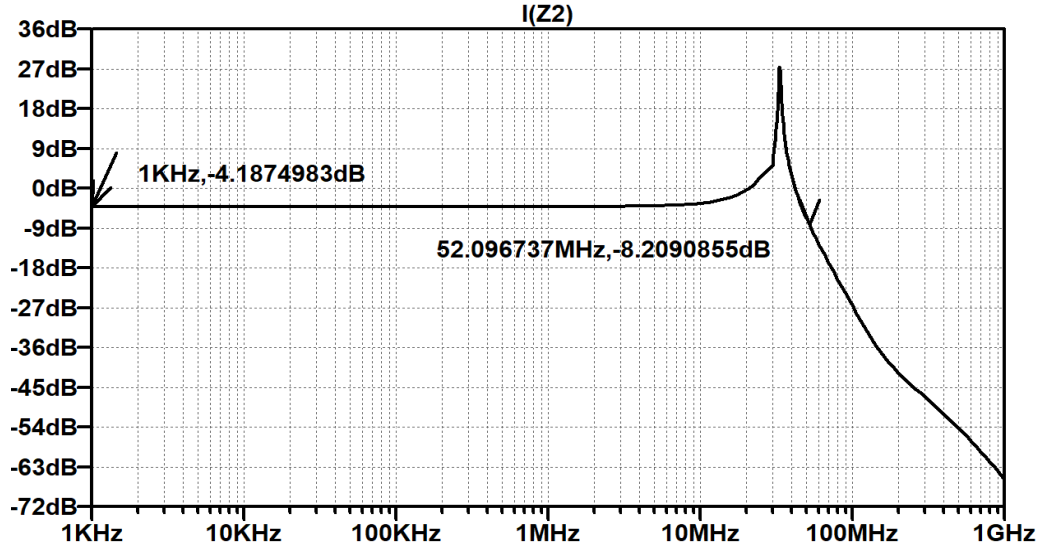
Şekil 3.67: Önerilen FinFET FDCCII devresinin I_{Z2}/I_{X1} frekans cevabı

Şekil 3.68, X_2 ve Z_1 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen FinFET FDCCII devresinin I_{Z1}/I_{X2} akım izleme eğrisi yaklaşık 49.94MHz'lik bant genişliğine sahiptir.



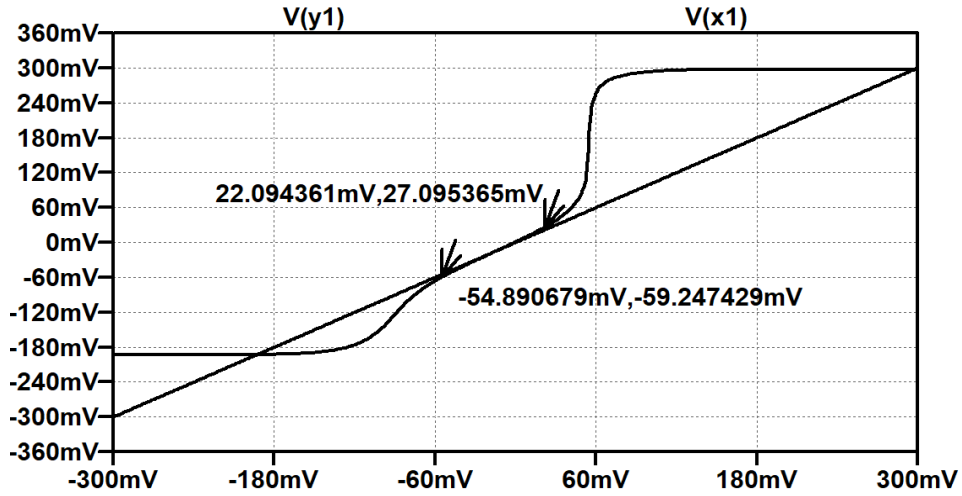
Şekil 3.68: Önerilen FinFET FDCCII devresinin I_{Z1}/I_{X2} frekans cevabı

Şekil 3.69, X_2 ve Z_2 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen FinFET FDCCII devresinin I_{Z2}/I_{X2} akım izleme eğrisi yaklaşık 52.10MHz'lik bant genişliğine sahiptir.



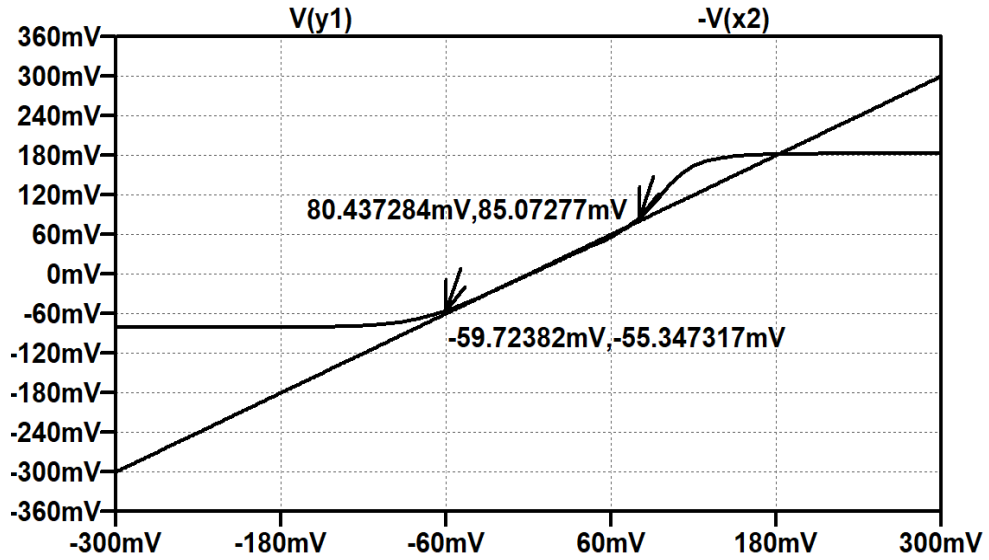
Şekil 3.69: Önerilen FinFET FDCCII devresinin I_{Z2}/I_{X2} frekans cevabı

Şekil 3.70, önerilen FinFET FDCCII devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.3V ile 0.3V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{X1} gerilimi, -54.89mV ile 22.09mV aralığında V_{Y1} gerilimini izlemektedir.



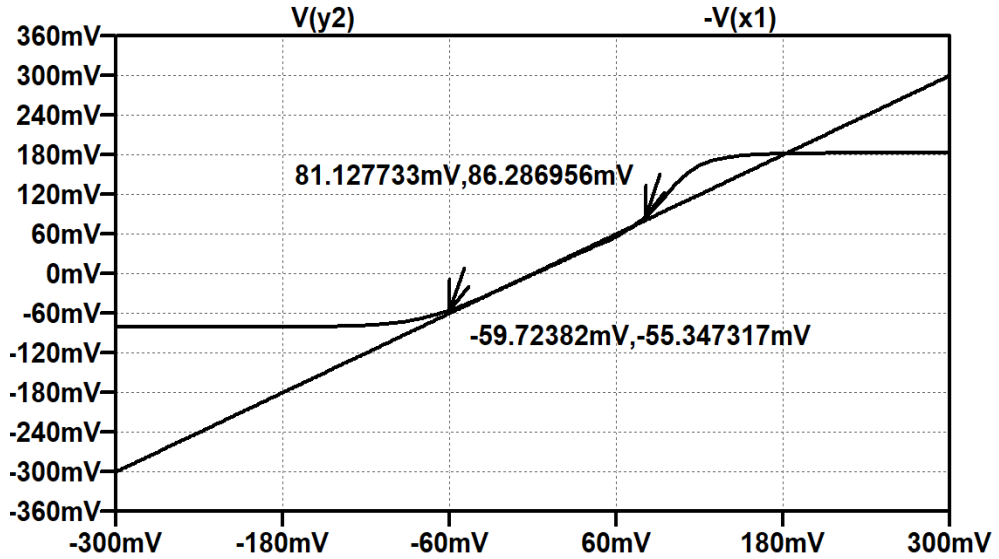
Şekil 3.70: Önerilen FinFET FDCCII devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.71, önerilen FinFET FDCCII devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.3V ile 0.3V arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. $-V_{X2}$ gerilimi, -59.73mV ile 80.44mV aralığında V_{Y1} gerilimini izlemektedir.



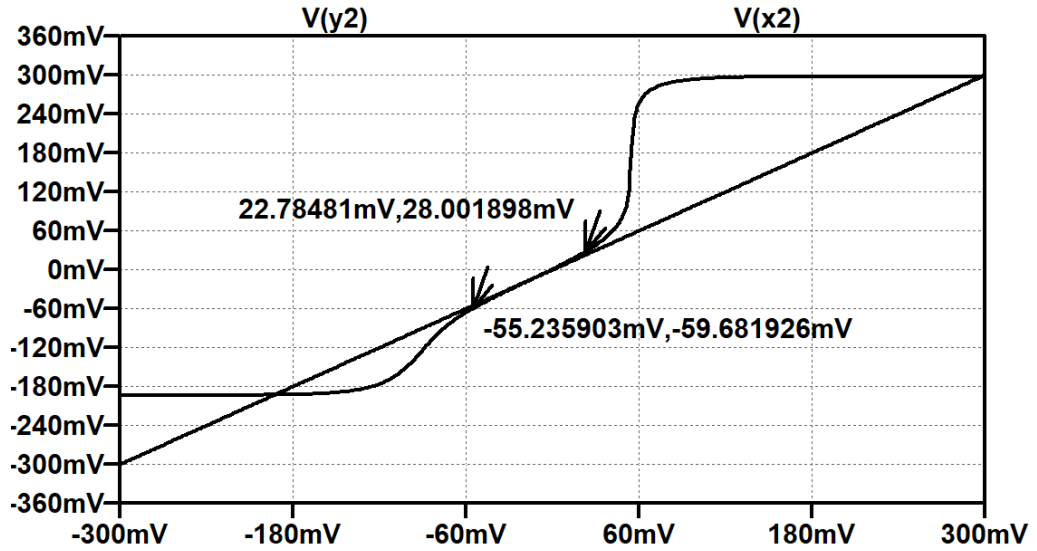
Şekil 3.71: Önerilen FinFET FDCCII devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.72, önerilen FinFET FDCCII devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi -0.3V ile 0.3V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. $-V_{X1}$ gerilimi, -59.73mV ile 81.13mV aralığında V_{Y2} gerilimini izlemektedir.



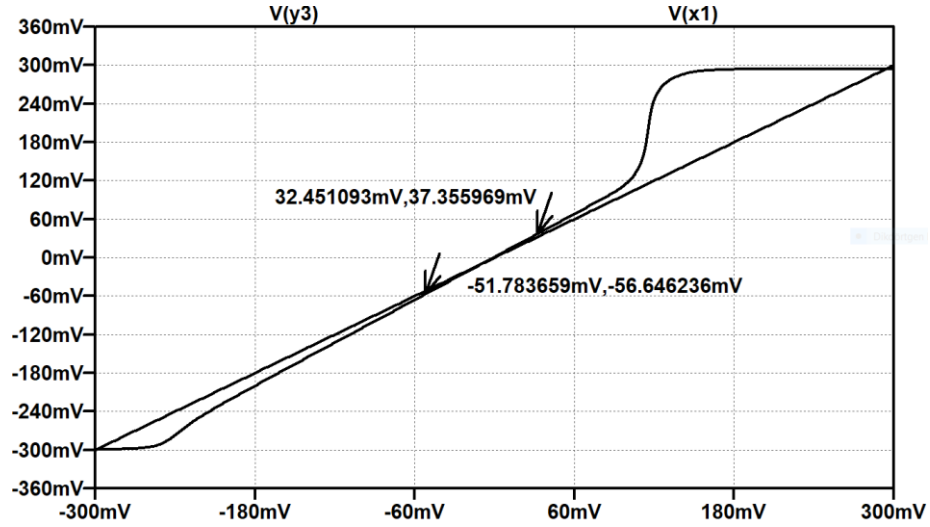
Şekil 3.72: Önerilen FinFET FDCCII devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.73, önerilen FinFET FDCCII devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi -0.3V ile 0.3V arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. V_{X2} gerilimi, -55.24mV ile 22.78mV aralığında V_{Y2} gerilimini izlemektedir.



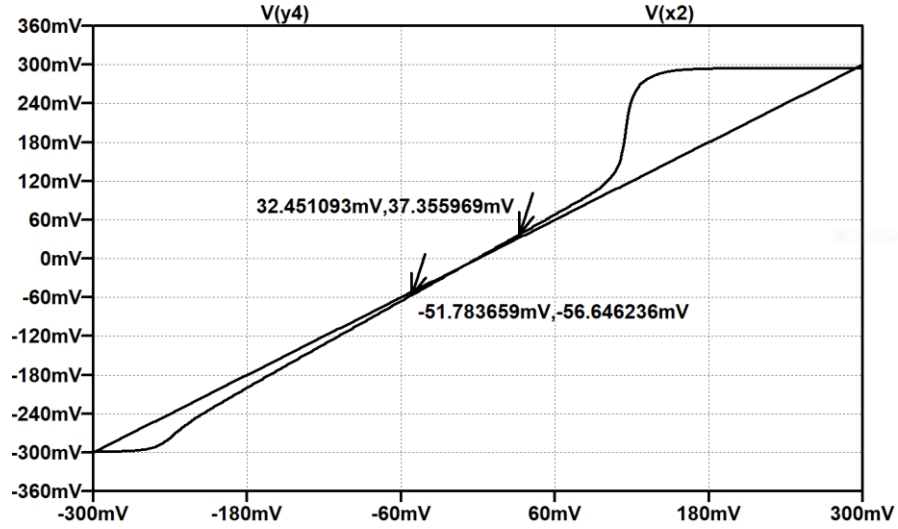
Şekil 3.73: Önerilen FinFET FDCCII devresinin V_{x2} - V_{y2} DC gerilim transfer karakteristiği

Şekil 3.74, önerilen FinFET FDCCII devresinin V_{x1} - V_{y3} DC gerilim transfer karakteristiğini göstermektedir. V_{y3} 'ün DC gerilimi -0.3V ile 0.3V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{x1} gerilimi, -51.78mV ile 32.45mV aralığında V_{y3} gerilimini izlemektedir.



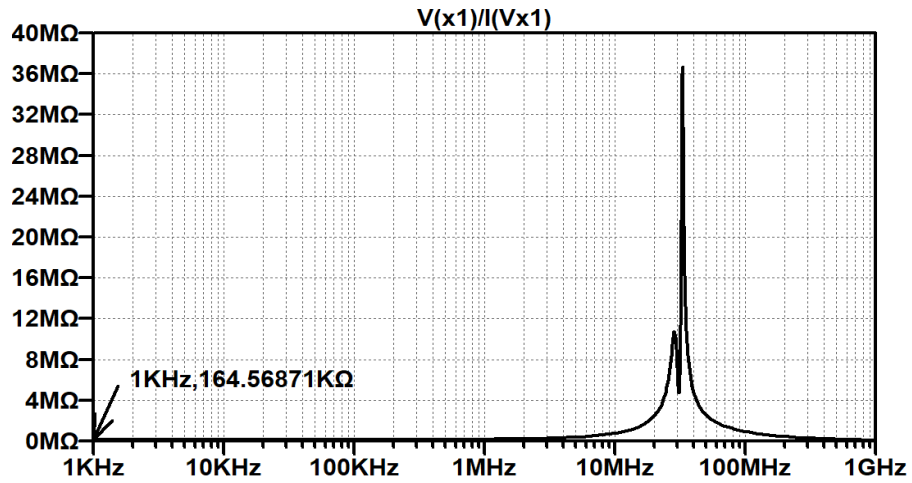
Şekil 3.74: Önerilen FinFET FDCCII devresinin V_{x1} - V_{y3} DC gerilim transfer karakteristiği

Şekil 3.75, önerilen FinFET FDCCII devresinin V_{x2} - V_{y4} DC gerilim transfer karakteristiğini göstermektedir. V_{y4} 'ün DC gerilimi -0.3V ile 0.3V arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. V_{x2} gerilimi, -51.78mV ile 32.45mV aralığında V_{y4} gerilimini izlemektedir.



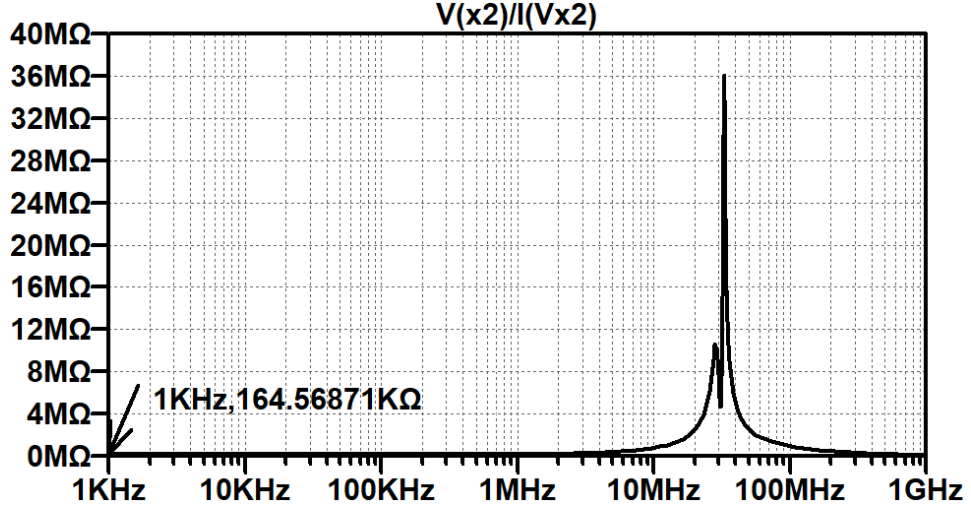
Şekil 3.75: Önerilen FinFET FDCCII devresinin V_{X2} - V_{Y4} DC gerilim transfer karakteristiği

Şekil 3.76, önerilen FinFET tabanlı FDCCII devresinin X_1 çıkış empedansının frekans cevabını göstermektedir. V_{X1} , 1 V genliğinde AC sinyaldir. X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı FDCCII devresinin X_1 düğümündeki parazitik empedans değerinin 164.57k Ω olduğu görülmüştür.



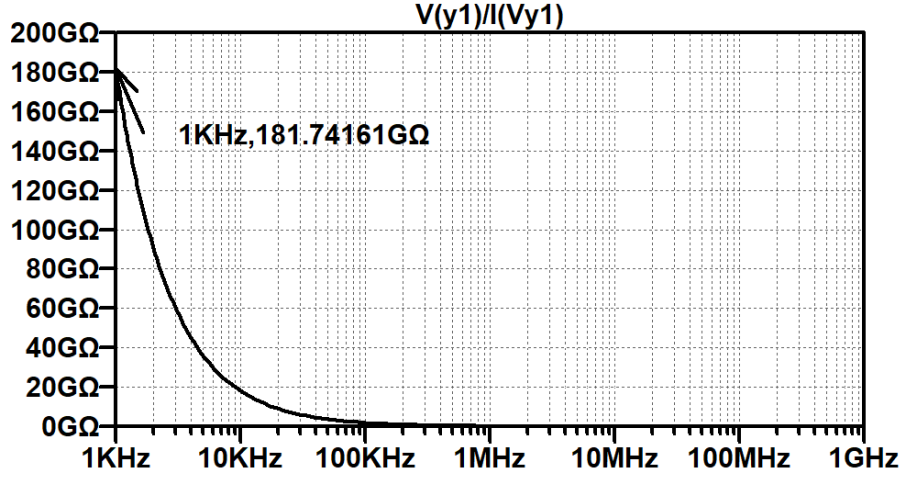
Şekil 3.76: Önerilen FinFET FDCCII devresinin X_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.77, önerilen FinFET tabanlı FDCCII devresinin X_2 çıkış empedansının frekans cevabını göstermektedir. V_{X2} , 1 V genliğinde AC sinyaldir. X_1 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı FDCCII devresinin X_2 düğümündeki parazitik empedans değerinin 164.57k Ω görülmüştür.



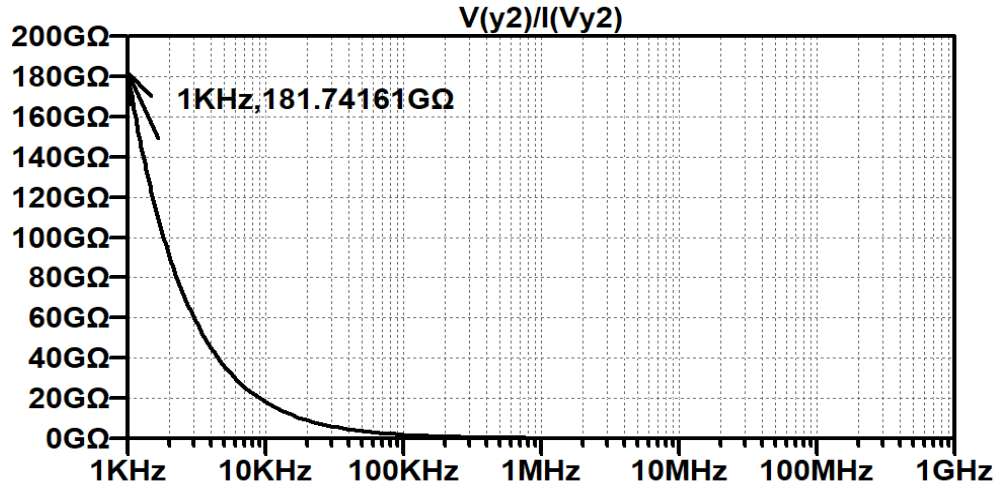
Şekil 3.77: Önerilen FinFET FDCCII devresinin X_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.78, önerilen FinFET tabanlı FDCCII devresinin Y_1 çıkış empedansının frekans cevabını göstermektedir. V_{Y1} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_2 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı FDCCII devresinin Y_1 düğümündeki parazitik empedans değerinin $181.74G\Omega$ olduğu görülmüştür.



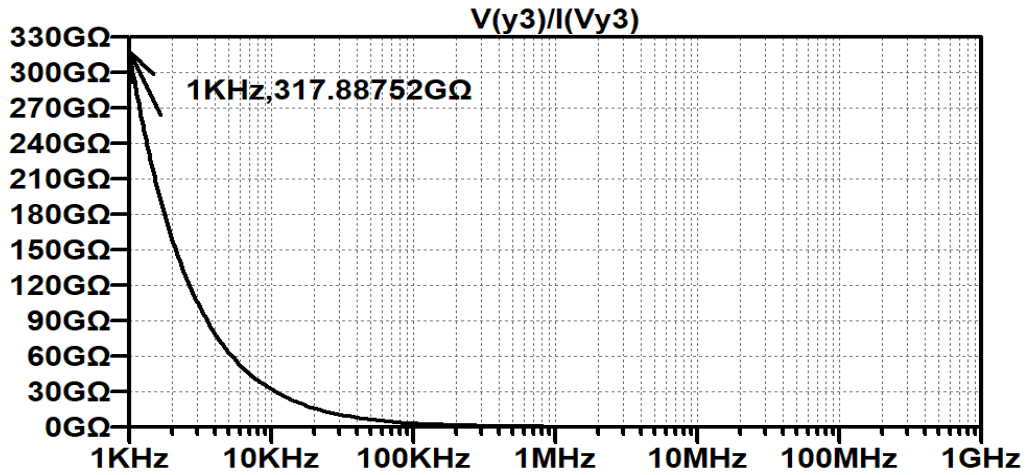
Şekil 3.78: Önerilen FinFET FDCCII devresinin Y_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.79, önerilen FinFET tabanlı FDCCII devresinin Y_2 çıkış empedansının frekans cevabını göstermektedir. V_{Y2} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_3 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı FDCCII devresinin Y_2 düğümündeki parazitik empedans değerinin $181.74G\Omega$ olduğu görülmüştür.



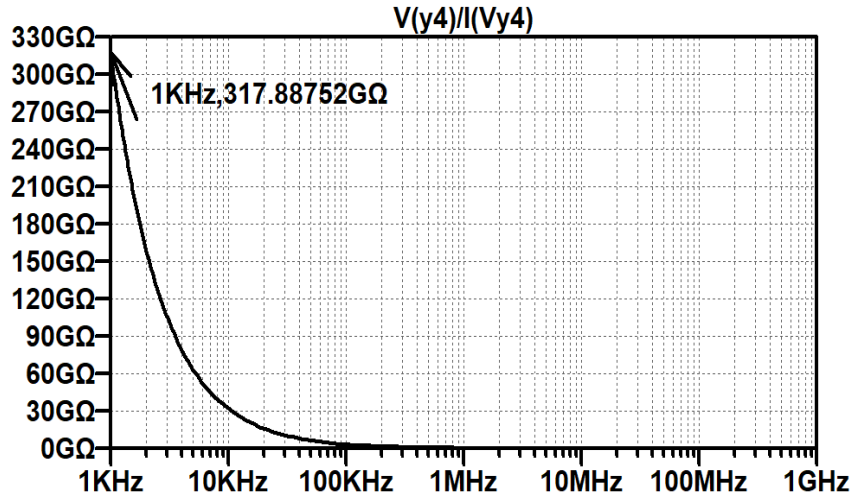
Şekil 3.79: Önerilen FinFET FDCCII devresinin Y_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.80, önerilen FinFET tabanlı FDCCII devresinin Y_3 çıkış empedansının frekans cevabını göstermektedir. V_{Y3} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_4 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı FDCCII devresinin Y_3 düğümündeki parazitik empedans değerinin 317.89GΩ olduğu görülmüştür.



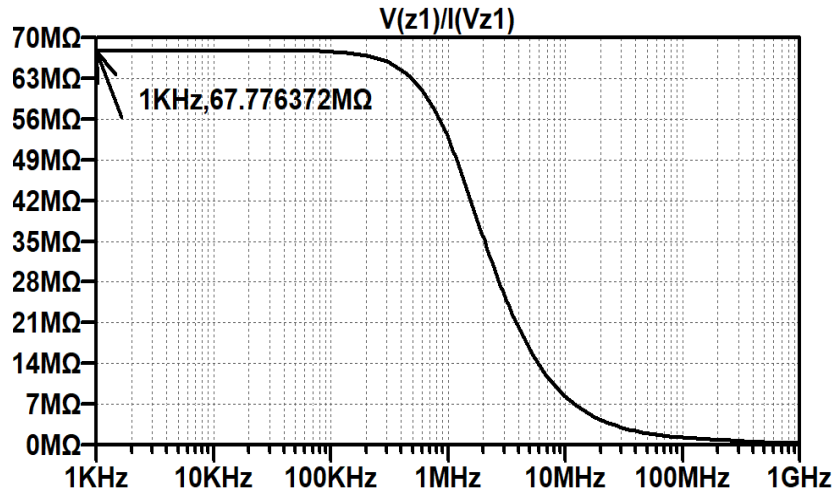
Şekil 3.80: Önerilen FinFET FDCCII devresinin Y_3 düğümünde görülen parazitik empedans eğrisi

Şekil 3.81, önerilen FinFET tabanlı FDCCII devresinin Y_4 çıkış empedansının frekans cevabını göstermektedir. V_{Y4} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı FDCCII devresinin Y_4 düğümündeki parazitik empedans değerinin 317.89GΩ olduğu görülmüştür.



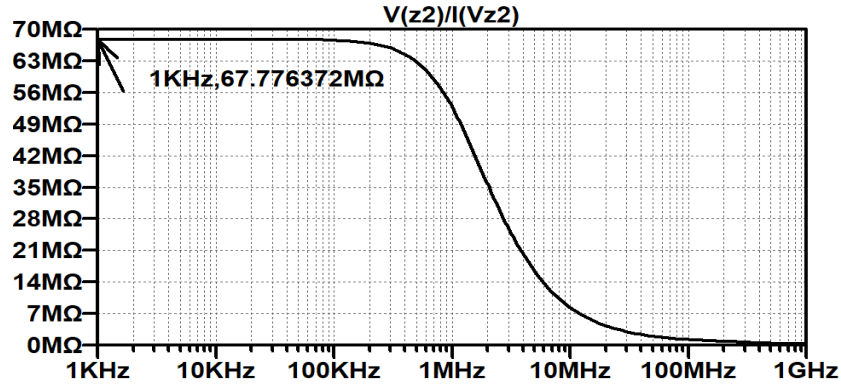
Şekil 3.81: Önerilen FinFET FDCCII devresinin Y_4 düğümünde görülen parazitik empedans eğrisi

Şekil 3.82, önerilen FinFET tabanlı FDCCII devresinin Z_1 çıkış empedansının frekans cevabını göstermektedir. V_{z1} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı FDCCII devresinin Z_1 düğümündeki parazitik empedans değerinin 67.78MΩ olduğu görülmüştür.



Şekil 3.82: Önerilen FinFET FDCCII devresinin Z_1 ucundaki parazitik empedans eğrisi

Şekil 3.83, önerilen FinFET tabanlı FDCCII devresinin Z_2 çıkış empedansının frekans cevabını göstermektedir. V_{z2} , 1 V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Y_4 ve Z_1 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı FDCCII devresinin Z_2 düğümündeki parazitik empedans değerinin 67.78MΩ olduğu görülmüştür.



Şekil 3.83: Önerilen FinFET FDCCII devresinin Z_2 düğümünde görülen parazitik empedans eğrisi

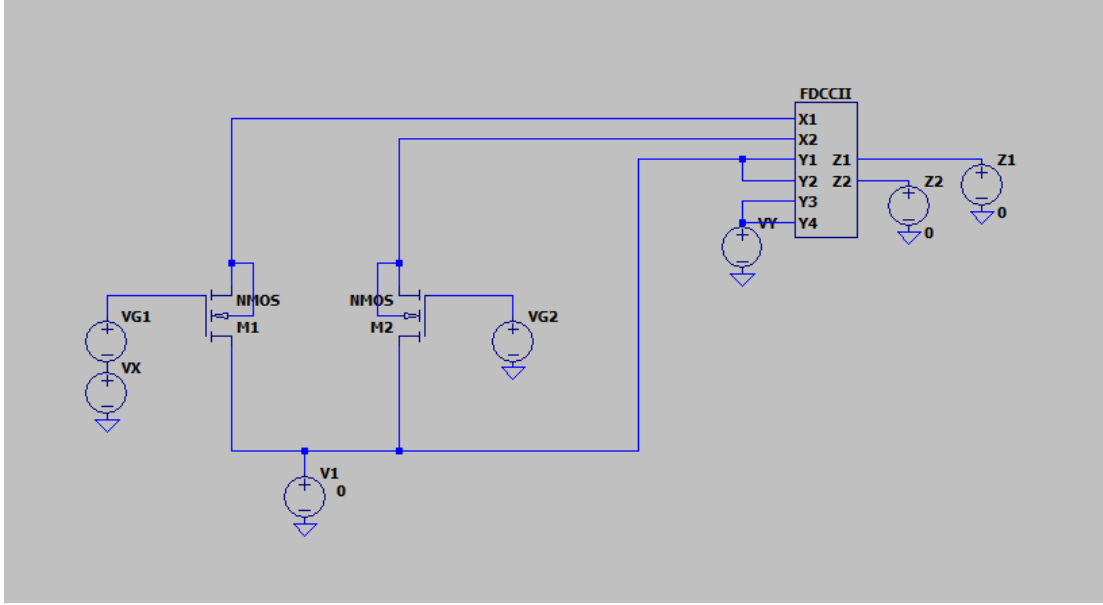
Tablo 3.4: Önerilen MOS FDCII, DTMOS FDCCII ve FinFET FDCCII Devrelerinin Karşılaştırılması

	MOS FDCCII	DTMOS FDCCII	FinFET FDCCII
Besleme gerilimi	$\pm 0.4V$	$\pm 0.25V$	$\pm 0.3V$
Kutuplama akımı	10nA	5nA	10nA
Giriş işareti lineer aralığı (V_{X1}/V_{Y1} , V_{X2}/V_{Y1} , V_{X1}/V_{Y2} , V_{X2}/V_{Y2} , V_{X1}/V_{Y3} , V_{X2}/V_{Y4})	(-98.04mV, 64.44mV -113.69mV, 121.06mV -115.53mV, 121.98mV -98.04mV, 66.28mV -125.66mV, 104.95mV -121.06mV, 104.03mv)	(-52.07mV, 42.29mV -60.41mV, 68.47mV -59.26mV, 69.91mV -49.19mV, 41.71mV -35.67mV, 89.18mV -35.67mV, 89.18mv)	(-54.89mV, 22.09mV -59.73mV, 80.44mV -59.73mV, 81.13mV -55.24mV, 22.78mV -51.78mV, 32.45mV -51.78mV, 32.45mV)
X_1	339.59kΩ	6.28MΩ	164.57kΩ
X_2	339.59Ω	6.28Ω	164.57kΩ
Y_1	335.64GΩ	445.93G	181.74GΩ
Y_2	335.64GΩ	445.93G	181.74GΩ
Y_3	430.53GΩ	567.17GΩ	317.89GΩ
Y_4	430.53GΩ	567.17GΩ	317.89GΩ
Z_1	6.36GΩ	3.01GΩ	67.78MΩ
Z_2	6.36GΩ	3.01GΩ	67.78MΩ
parazitik empedans			
f_{-3dB} band genişliği (V_{X1}/V_{Y1} , V_{X2}/V_{Y1} , V_{X1}/V_{Y2} , V_{X2}/V_{Y2} , V_{X1}/V_{Y3} , V_{X2}/V_{Y4})	(30.65Mhz, 27.46Mhz, 27.46Mhz, 30.65Mhz, 25.88Mhz, 25.88MHz)	(8.33Mhz, 8.01Mhz, 8.02Mhz, 8.33Mhz, 6.79Mhz, 6.79MHz)	(59.62Mhz, 49.96Mhz, 49.96Mhz, 59.61Mhz, 51.28Mhz, 51.28MHz)
f_{-3dB} band genişliği (I_{Z1}/I_{X1} , I_{Z2}/I_{X1} , I_{Z1}/I_{X2} , I_{Z2}/I_{X2})	(25.07Mhz, 25.15Mhz, 25.15Mhz, 25.86Mhz)	(4.73Mhz, 6.40Mhz, 6.40Mhz, 4.73Mhz)	(52.09Mhz, 49.94Mhz, 49.94Mhz, 51.10Mhz)
Güç Tüketimi	61.836554nW	10.760898nW	27.751457μW

3.4 FDCCII'lı Dört Bölge Çarpıcı Devreleri

Analog çarpıcılar sinir ağı, modülasyon, uyarlanabilir filtreler ve katlayıcılar, faz kilitli döngü gibi sinyal işleme sisteminin önemli devre bloklarıdır (Tanno et al., 2000; Naderi et al., 2009)

Şekil 3.84'te dört bölge çarpıcı devresi gösterilmiştir. Dört bölge çarpıcı devresi 1 adet FDCCII ve iki adet eşik altı bölgesinde çalışan NMOS transistörlerinden oluşmuştur.



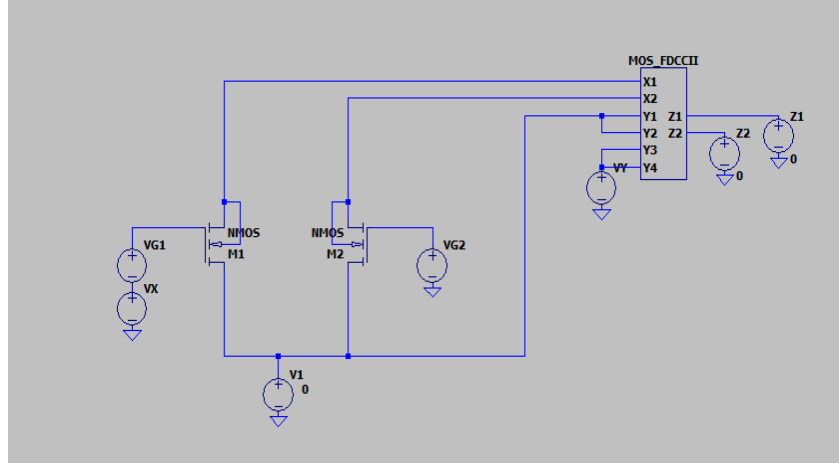
Şekil 3.84: Dört Bölge Çarpıcı Devresi

FDCCII devresi $V_{X1} = V_{Y1} - V_{Y2} + V_{Y3}$, $V_{X2} = -V_{Y1} + V_{Y2} + V_{Y4}$ bağıntılarını sağlayacak şekilde oluşturulmuştur. Devrede Y_3 ve Y_4 uçlarına V_y , Y_1 ve Y_2 uçlarında ise V_1 gerilim kaynağı bağlanmıştır. M1 ve M2 transistörleri eş boyutlandırılmıştır. $V_1=0$ olduğunda $V_{Y1}=V_{Y2}=0V$ olur. Y_3 ve Y_4 uçlarına V_y gerilimi uygulandığında M1 ve M2 transistörleri eş savak ve kaynak gerilimlerine sahiptir. $V_{G1}=V_{G2}=V_G$ olduğunda I_{Z1} akımı (3.2) bağıntısında verildiği gibi olacaktır.

$$I_{Z1} = I_0 \cdot e^{\frac{V_G - V_Y - V_{TH}}{n \cdot V_T}} \cdot \frac{V_X}{n \cdot V_T} \cdot \frac{-(V_1 - V_Y)}{V_T} \quad (3.2)$$

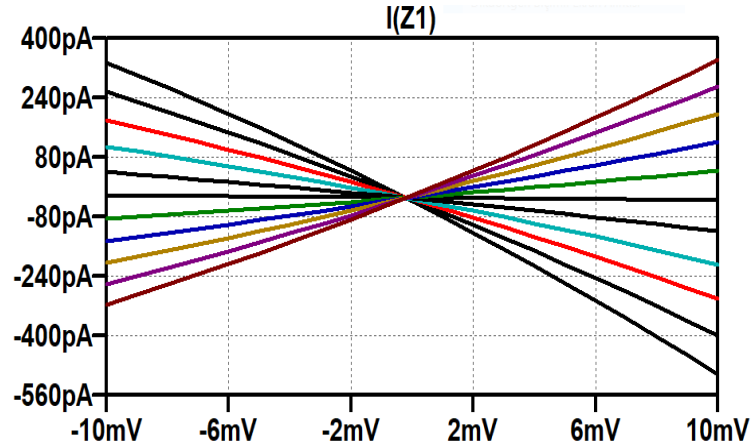
3.4.1 MOS FDCCII'li Dört Bölge Çarpıcı Devresi

Önerilen MOS FDCCII'li dört bölge çarpıcı devresi 1 adet MOS FDCCII ve iki adet NMOS transistöründen oluşmuştur.



Şekil 3.85: Önerilen MOS FDCCII’li Dört Bölge Çarpıcı Devresi

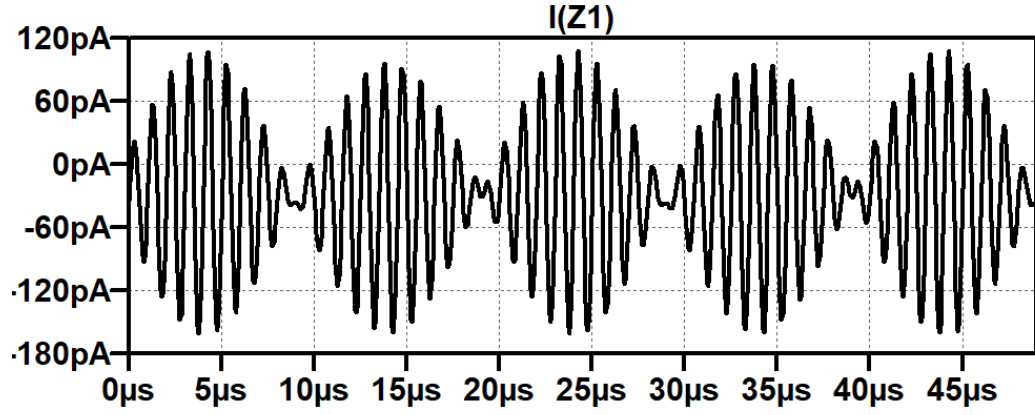
Şekil 3.86’da önerilen MOS FDCCII’li dört bölge çarpıcı devresinin DC transfer karakteristik eğrileri görülmektedir. V_x gerilimi -10mV ile 10mV arasında DC olarak taranmıştır. V_y gerilim kaynağı step analizi ile -10mV ile 10mV arasında 2mV ’luk artışlarla değiştirilmiştir. NMOS transistörlerin girişine ($V_{G1}=V_{G2}=150\text{mV}$) 150mV ’luk gerilim uygulanmıştır. V_1 gerilim kaynağına ise 0V gerilimi uygulanmıştır. M1 ve M2 transistörleri kanal uzunluğu 45nm , kanal genişliği 180nm olacak şekilde boyutlandırılmıştır.



Şekil 3.86: Önerilen MOS FDCCII’li dört bölge çarpıcı devresinin DC transfer karakteristik eğrileri

Şekil 3.87’de önerilen MOS FDCCII’li dört bölge çarpıcı devresine ait modülasyon örneği görülmektedir. NMOS transistörlerinin girişine ($V_{G1}=V_{G2}=150\text{mV}$) 150mV ’luk gerilim uygulanmıştır. V_1 gerilim kaynağına ise 0V gerilimi uygulanmıştır. M1 ve M2 transistörlerinin kanal uzunluğu 45nm , kanal genişliği 180nm olacak şekilde boyutlandırılmıştır.

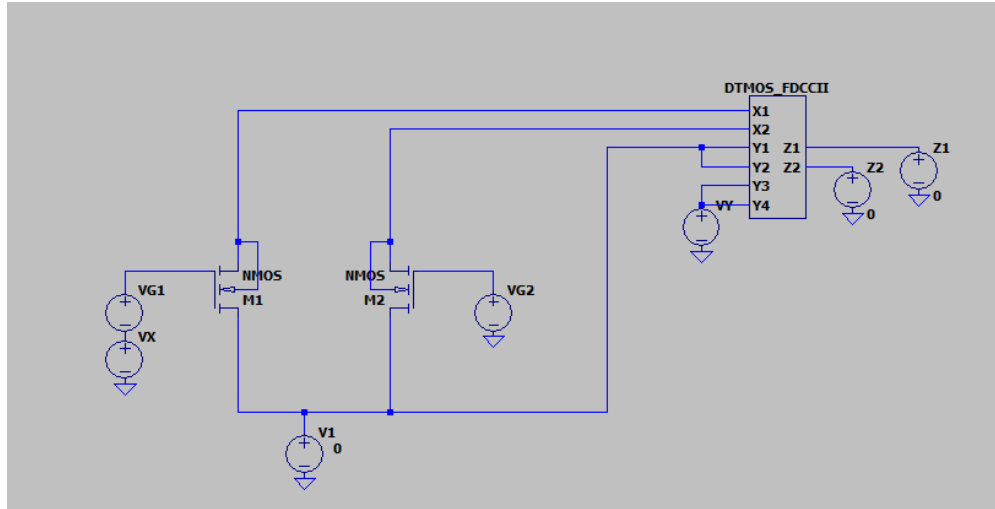
M1 NMOS transistörün girişine genliği 10mV , frekansı 1000kHz , Y_3 ve Y_4 uçlarına ise genliği 10mV frekansı ise 50kHz olan sinüzoidal işaret uygulanmıştır.



Şekil 3.87: Önerilen MOS FDCCII'li dört bölgeli çarpıcı devresine ait modülasyon örneği

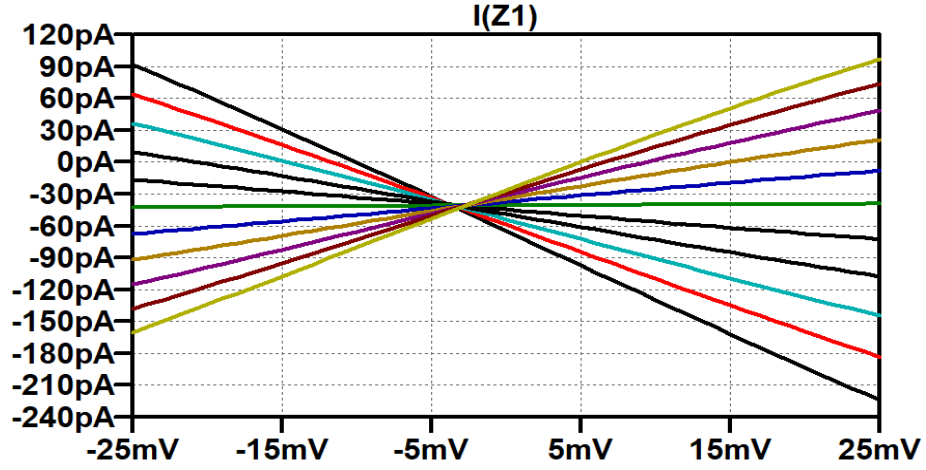
3.4.2 DTMOS FDCCII'li Dört Bölgeli Çarpıcı Devresi

Önerilen DTMOS FDCCII'li dört bölgeli çarpıcı devresi 1 adet DTMOS FDCCII ve iki adet NMOS transistöründen oluşmuştur.



Şekil 3.88: Önerilen DTMOS FDCCII'li Dört Bölgeli Çarpıcı Devresi

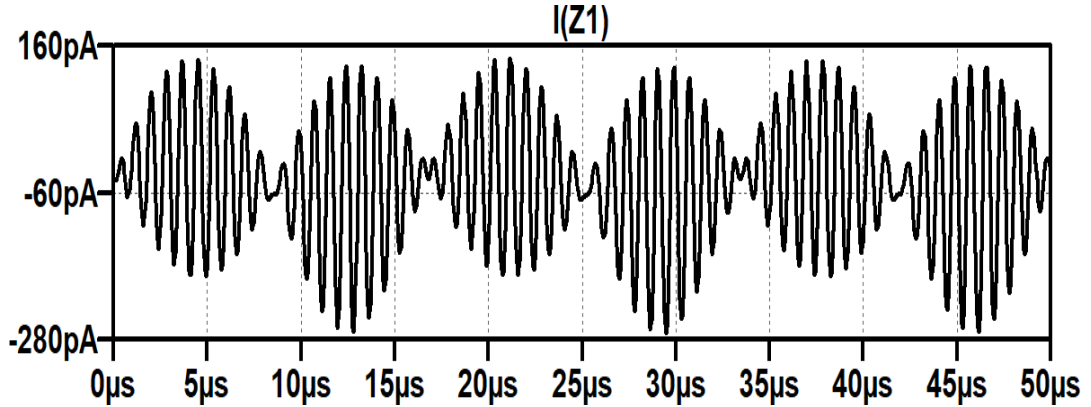
Şekil 3.89'da önerilen DTMOS FDCCII'li dört bölgeli çarpıcı devresinin DC transfer karakteristik eğrileri görülmektedir. V_x gerilimi -25mV ile 25mV arasında DC olarak taranmıştır. V_y gerilim kaynağı step analizi ile -10mV ile 10mV arasında 2mV'luk artışlarla değiştirilmiştir. NMOS transistörlerinin girişine ($V_{G1}=V_{G2}=180\text{mV}$) 180mV'luk gerilim uygulanmıştır. V_1 gerilim kaynağına ise 0V gerilimi uygulanmıştır. M1 ve M2 transistörlerinin kanal uzunluğu 90nm, kanal genişliği 270nm olacak şekilde boyutlandırılmıştır.



Şekil 3.89: Önerilen DTMOS FDCCII’li dört bölgeli çarpıcı devresinin DC transfer karakteristik eğrileri

Şekil 3.90’da önerilen DTMOS FDCCII’li dört bölgeli çarpıcı devresine ait modülasyon örneği görülmektedir. NMOS transistörlerinin girişine ($V_{G1}=V_{G2}=180\text{mV}$) 180mV ’luk gerilim uygulanmıştır. V_1 gerilim kaynağına ise 0V gerilimi uygulanmıştır. M1 ve M2 transistörleri kanal uzunluğu 90nm , kanal genişliği 270nm olacak şekilde boyutlandırılmıştır.

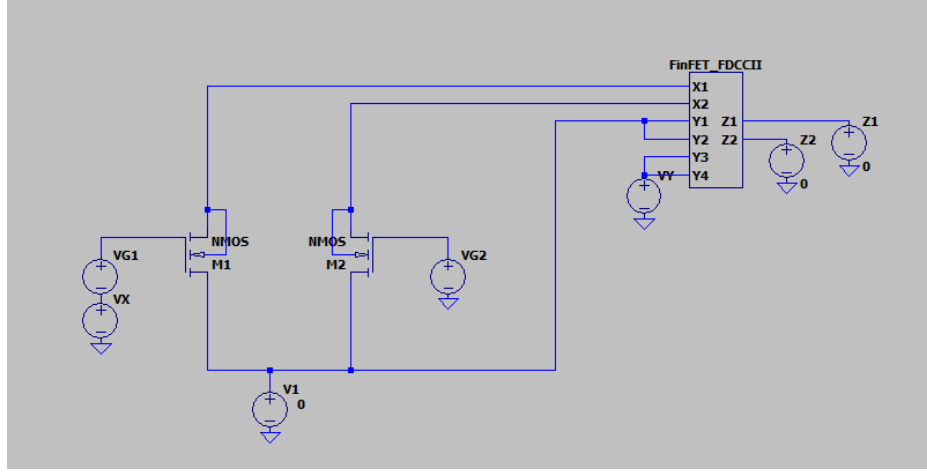
M1 NMOS transistörün girişine genliği 25mV , frekansı ise 1200kHz , Y_3 ve Y_4 uçlarına genliği 15mV frekansı ise 60kHz olan sinüzoidal işaret uygulanmıştır.



Şekil 3.90: Önerilen DTMOS FDCCII’li dört bölgeli çarpıcı devresine ait modülasyon örneği

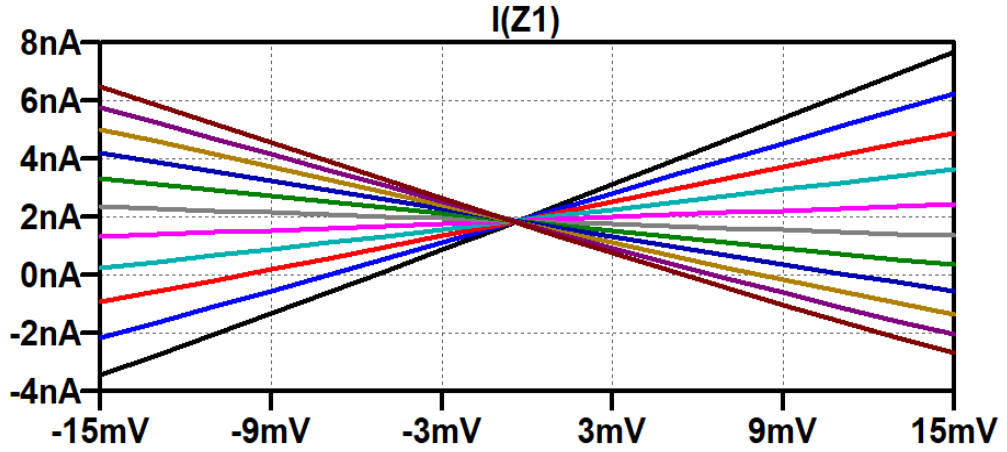
3.4.3 FinFET FDCCII’li Dört Bölgeli Çarpıcı Devresi

Önerilen FinFET FDCCII’li dört bölgeli çarpıcı devresi 1 adet FinFET FDCCII ve iki adet NMOS transistöründen oluşmuştur.



Şekil 3.91: Önerilen FinFET FDCCII’li Dört Bölge Çarpıcı Devresi

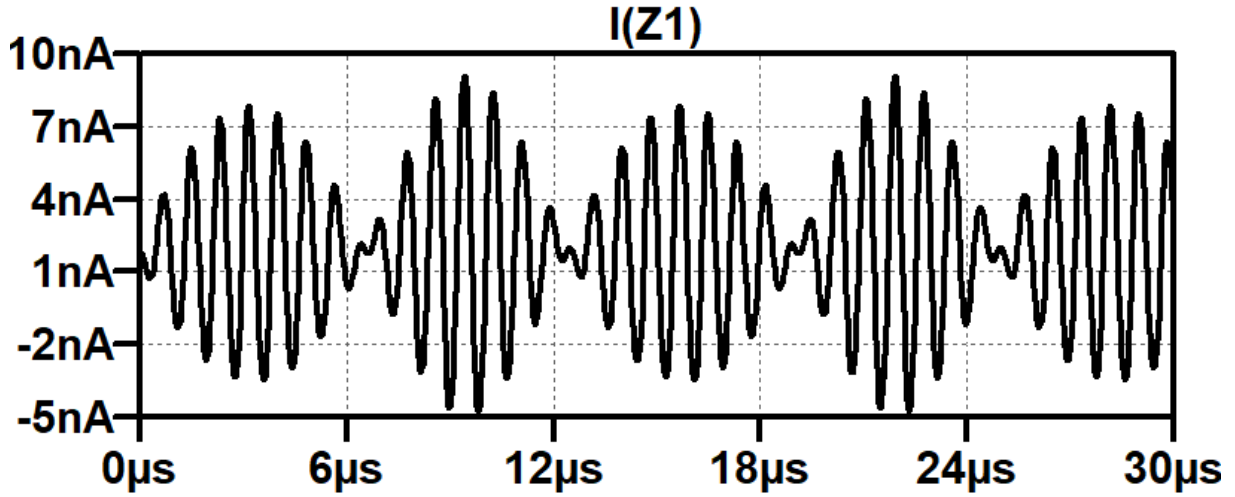
Şekil 3.92’de önerilen FinFET FDCCII’li dört bölge çarpıcı devresinin DC transfer karakteristik eğrileri görülmektedir. V_x gerilimi -15mV ile 15mV arasında DC olarak taranmıştır. V_y gerilim kaynağı step analizi ile -10mV ile 10mV arasında 2mV’luk artışlarla değiştirilmiştir. NMOS transistörlerinin girişine ($V_{G1}=V_{G2}=150\text{mV}$) 150mV’luk gerilim uygulanmıştır. V_1 gerilim kaynağına ise 0V gerilimi uygulanmıştır. M1 ve M2 transistörlerinin kanal uzunluğu 90nm, kanal genişliği 900nm olacak şekilde boyutlandırılmıştır.



Şekil 3.92: Önerilen FinFET FDCCII’li dört bölge çarpıcı devresinin DC transfer karakteristik eğrileri

Şekil 3.93’te önerilen FinFET FDCCII’li dört bölge çarpıcı devresine ait modülasyon örneği görülmektedir. NMOS transistörlerinin girişine ($V_{G1}=V_{G2}=150\text{mV}$) 150mV’luk gerilim uygulanmıştır. V_1 gerilim kaynağına ise 0V gerilimi uygulanmıştır. M1 ve M2 transistörlerinin kanal uzunluğu 90nm, kanal genişliği 900nm olacak şekilde boyutlandırılmıştır.

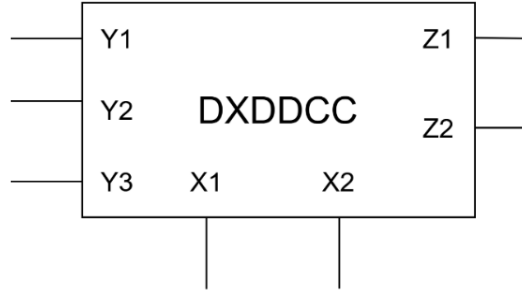
M1 NMOS transistörün girişine genliği 20mV, frekansı ise 1200kHz, Y3 ve Y4 uçlarına genliği 10mV frekansı ise 80kHz olan sinüzoidal işaret uygulanmıştır.



Şekil 3.93: Önerilen FinFET FDCCII’li dört bölgeli çarpıcı devresine ait modülasyon örneği

3.5 MOS DXDDCC

Önerilen çift-X uçlu diferansiyel fark akım taşıyıcı (DXDDCC) yüksek empedanslı Y_1 , Y_2 ve Y_3 giriş düğümü, düşük empedanslı X_1 , X_2 giriş düğümü ve yüksek empedanslı Z_1 ve Z_2 çıkış düğümünden oluşan akım modlu aktif bir bloktur. Şekil 3.94’te DXDDCC blok şeması gösterimi verilmiştir.



Şekil 3.94: DXDDCC Blok Şeması

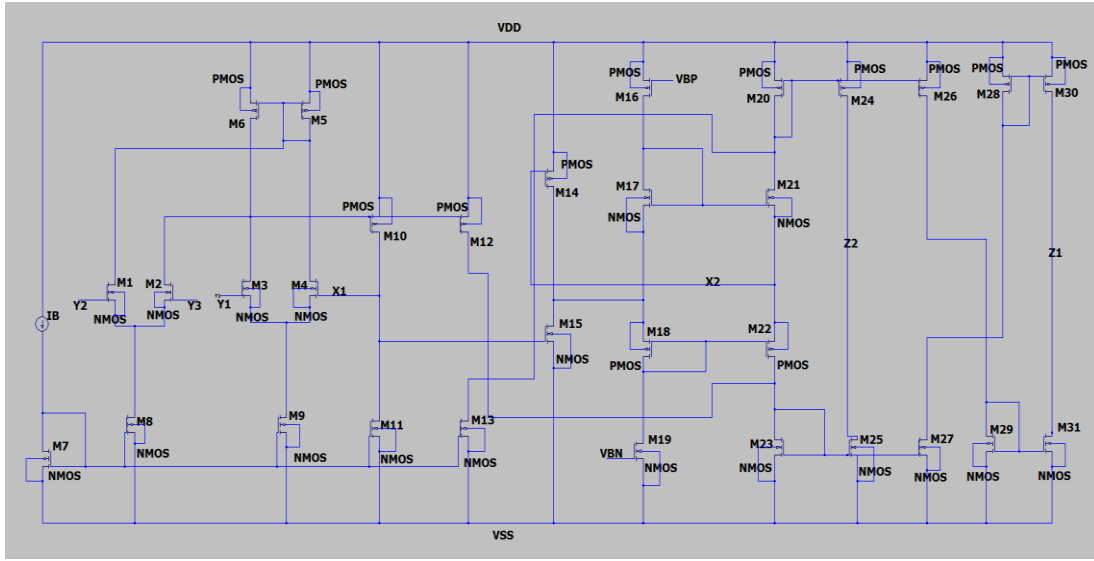
Önerilen çift-X uçlu diferansiyel fark akım taşıyıcının (DXDDCC) akım-gerilim (IV) karakteristikleri (3.3)’de verilmiştir.

$$\begin{bmatrix} V_{X1} \\ V_{X2} \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z1} \\ I_{Z2} \end{bmatrix} = \begin{bmatrix} 1 & -1 & 1 & 0 & 0 & 0 & 0 \\ -1 & 1 & -1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & -1 \\ 0 & 0 & 0 & 0 & 0 & -1 & 1 \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ V_{Z1} \\ V_{Z2} \\ I_{X1} \\ I_{X2} \end{bmatrix} \quad (3.3)$$

Şekil 3.95’te önerilen MOS DXDDCC devresi görülmektedir. MOS DXDDCC devresi LTSpice programında 45nm PTM parametreleri kullanılarak tasarlanmıştır. MOS DXDDCC

devresinde besleme ve kutuplama gerilimlerine $V_{DD} = -V_{SS} = 0.3V$, $V_{BP} = 0.08V$, $V_{BN} = -0.2V$ gerilimleri uygulanmıştır. Kutuplama akımı $I_B = 10nA$ seçilmiştir. NMOS ve PMOS transistörlerin boyutları tablo 3.5’de verilmiştir.

Çift-X uçlu diferansiyel fark akım taşıyıcı (DXDDCC) devre yapısı $V_{X1} = V_{Y1} - V_{Y2} + V_{Y3}$, $V_{X2} = -V_{Y1} + V_{Y2} - V_{Y3}$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ bağıntılarını sağlayacak şekilde oluşturulmuştur. Önerilen MOS DXDDCC devresini elde etmek için M1-M2 ve M3-M4 olmak üzere iki adet diferansiyel çift kullanıldı. X_1 ucuna uygulanan akımla M10 ve M12 $I_B - I_{X1}$ akıttır. M11 ve M13 transistörlerinden ise I_B akımı akar. M23 transistöründen $I_{D(M20)} + I_{X2} - I_{X1}$ akımı akar ve bu akım M24’e kopyalanır. M20’den akım ise M24’e kopyalanır. Böylece $I_{Z2} = I_{X2} - I_{X1}$ elde edilmiş olur. M24’den akan akım M31’e, M25’den akan akım ise M30’a aktarılır. Böylece $I_{Z1} = I_{X1} - I_{X2}$ elde edilmiş olur.

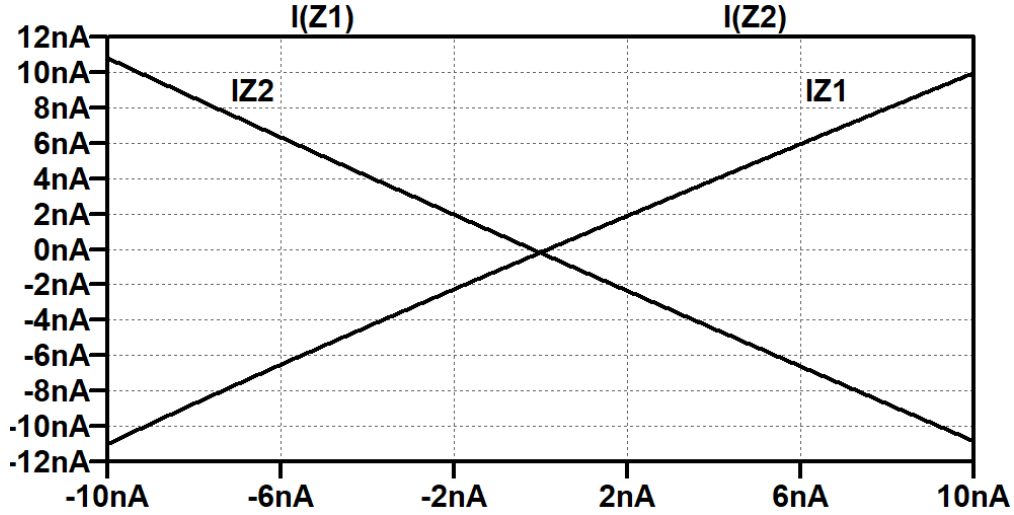


Şekil 3.95: Önerilen MOS DXDDCC devresi

Tablo 3.5: Önerilen MOS DXDDCC Devresindeki MOSFET’lerin Boyutlandırılması

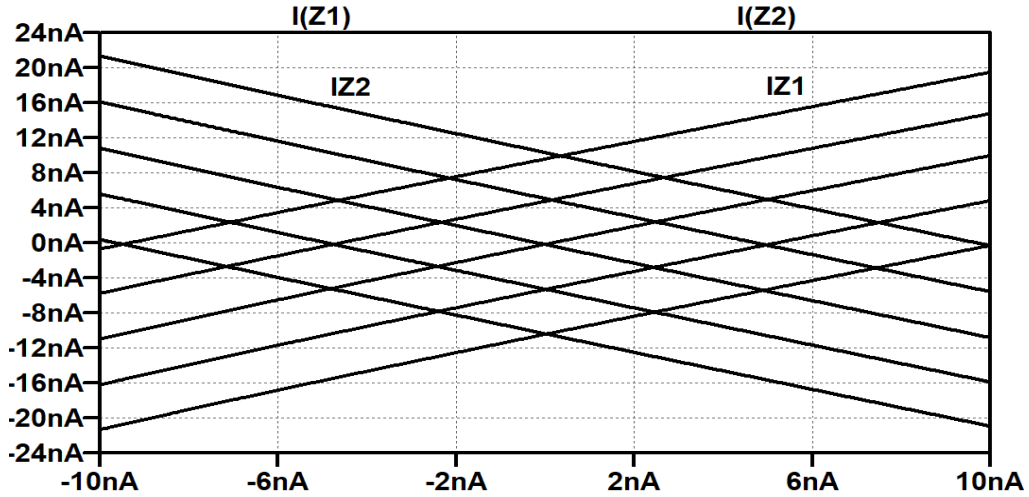
MOSFET	NMOS/PMOS	W(nm)	L(nm)
M1- M4, M17, M21	NMOS	180nm	90nm
M19	NMOS	90nm	90nm
M23, M25, M27	NMOS	900nm	90nm
M5, M6, M20	PMOS	450nm	90nm
M7- M9, M11, M13	NMOS	300nm	90nm
M10, M12	PMOS	600nm	90nm
M14	PMOS	560nm	90nm
M15	NMOS	180nm	180nm
M16, M18, M22	PMOS	900nm	90nm
M24	PMOS	485nm	90nm
M26	PMOS	480nm	90nm
M28, M30	PMOS	250nm	90nm
M29, M31	NMOS	100nm	90nm

Şekil 3.96’da, önerilen MOS DXDDCC devresinin devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -10nA ile 10n A arasında DC olarak taranmıştır. Şekilde de görüldüğü gibi Z_1 ’in çıkış akımı pozitif yönde maksimum 9.97nA, negatif yönde maksimum -11nA’dir. Z_2 ’nin çıkış akımı pozitif yönde maksimum 10.79nA, negatif yönde maksimum -10.86nA’dir.



Şekil 3.96: Önerilen MOS DXDDCC devresinin DC akım izleme eğrileri

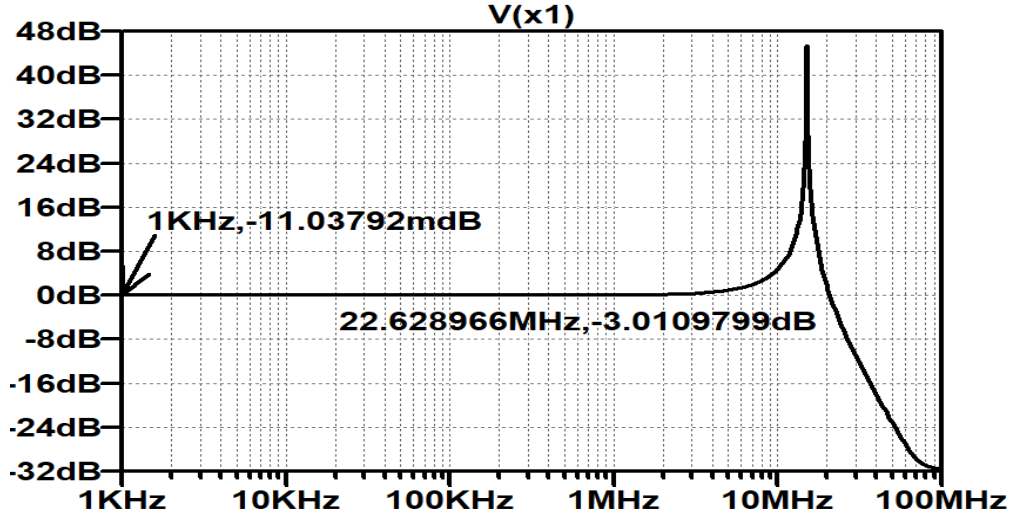
Şekil 3.97’de, önerilen MOS DXDDCC devresinin Z_1 ve Z_2 çıkış akım eğrisi görülmektedir. I_{X1} akımı -10nA ile 10nA arasında DC olarak taranmıştır. I_{X2} akım kaynağını step analizi ile -10nA ile 10nA arasında 5nA’lık artışlarla değiştirilmiştir.



Şekil 3.97: Önerilen MOS DXDDCC devresinin DC akım eğrileri (Step param I_{X2} -10n 10n 5n)

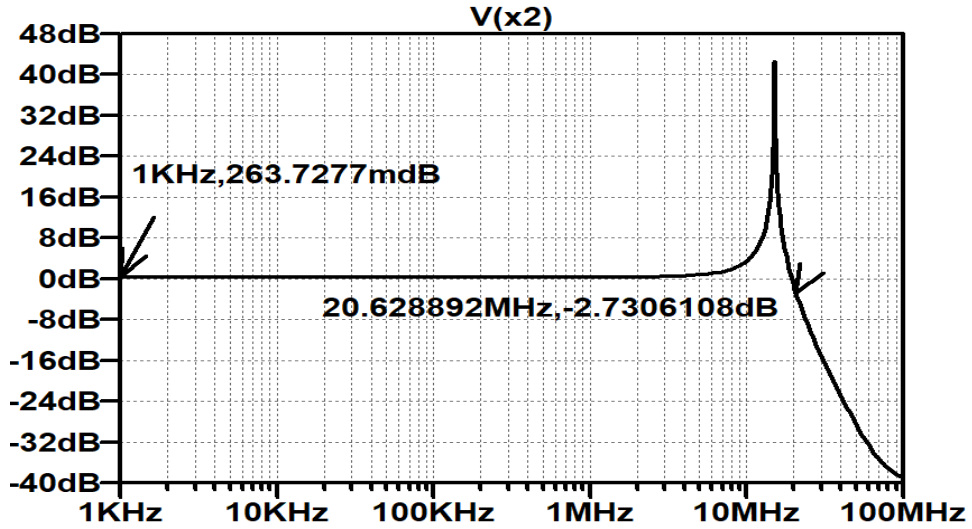
Şekil 3.98 - Şekil 3.108 önerilen MOS DXDDCC devresinin gerilim izleme (V_{X1}/V_{Y1} , V_{X2}/V_{Y1} , V_{X1}/V_{Y2} , V_{X2}/V_{Y2} , V_{X1}/V_{Y3} , V_{X2}/V_{Y3}) eğrileri görülmektedir.

Şekil 3.98 , Y_1 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V büyüklüğünde AC sinyaldir. Önerilen MOS DXDDCC devresinin V_{X1}/V_{Y1} gerilim izleme eğrisi yaklaşık 22.63MHz'lik bant genişliğine sahiptir.



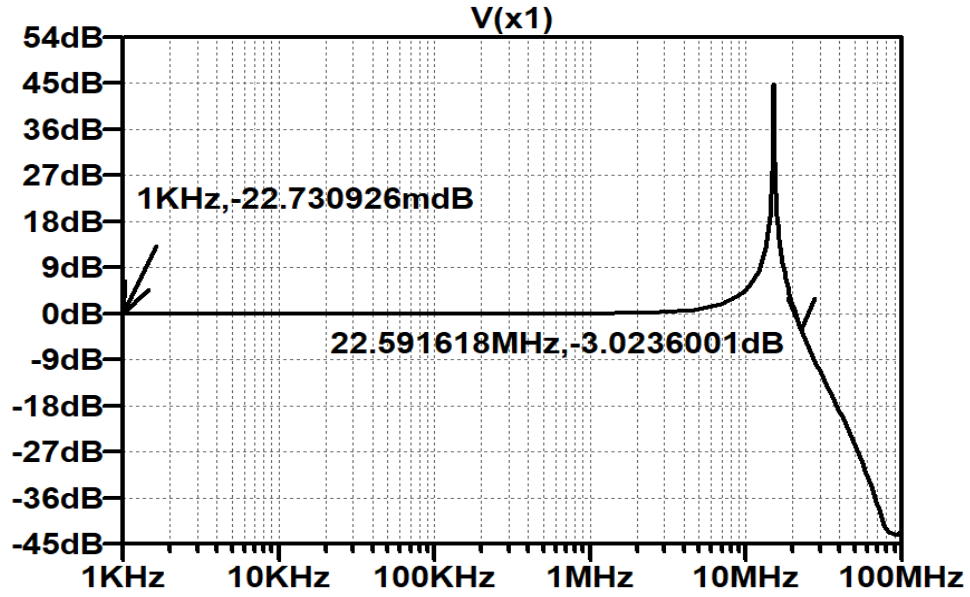
Şekil 3.98: Önerilen MOS DXDDCC devresindeki V_{X1}/V_{Y1} 'in frekans yanıtı

Şekil 3.99, Y_1 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen MOS DXDDCC devresinin V_{X2}/V_{Y1} gerilim izleme eğrisi yaklaşık 20.63MHz'lik bant genişliğine sahiptir.



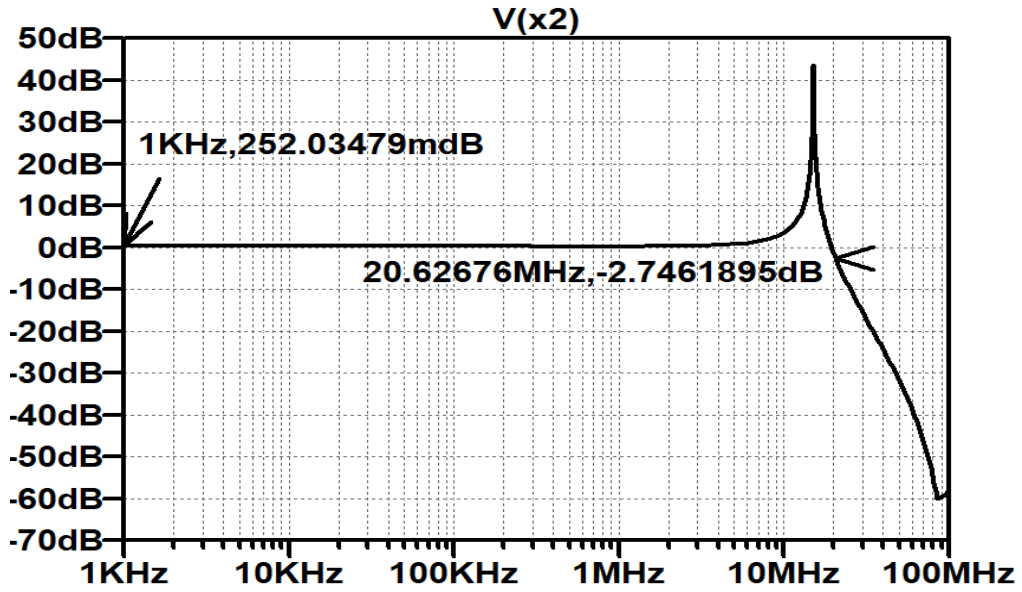
Şekil 3.99: Önerilen MOS DXDDCC devresine ait V_{X2}/V_{Y1} 'in frekans yanıtı

Şekil 3.100, Y_2 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen MOS DXDDCC devresinin V_{X1}/V_{Y2} gerilim izleme eğrisi yaklaşık 22.59MHz'lik bant genişliğine sahiptir.



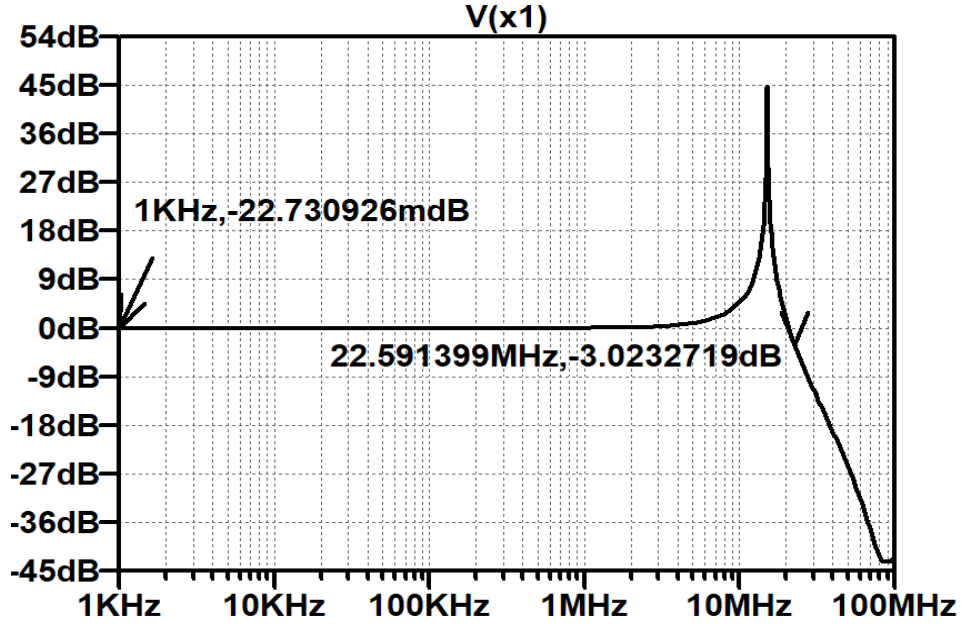
Şekil 3.100: Önerilen MOS DXDDCC devresine ait V_{X1}/V_{Y2} 'nin frekans yanıtı

Şekil 3.101, Y_2 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen MOS DXDDCC devresinin V_{X2}/V_{Y2} gerilim izleme eğrisi yaklaşık 20.63MHz'lik bant genişliğine sahiptir.



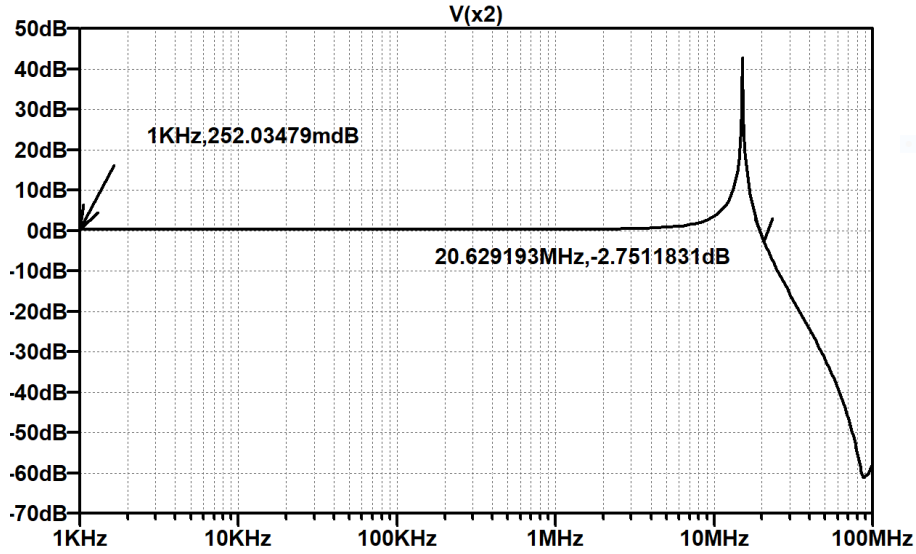
Şekil 3.101: Önerilen MOS DXDDCC devresine ait V_{X2}/V_{Y2} 'nin frekans yanıtı

Şekil 3.102, Y_3 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. Önerilen MOS DXDDCC devresinin V_{X1}/V_{Y3} gerilim izleme eğrisi yaklaşık 22.59MHz'lik bant genişliğine sahiptir.



Şekil 3.102: Önerilen MOS DXDDC devresine ait V_{X1}/V_{Y3} 'ün frekans yanıtı

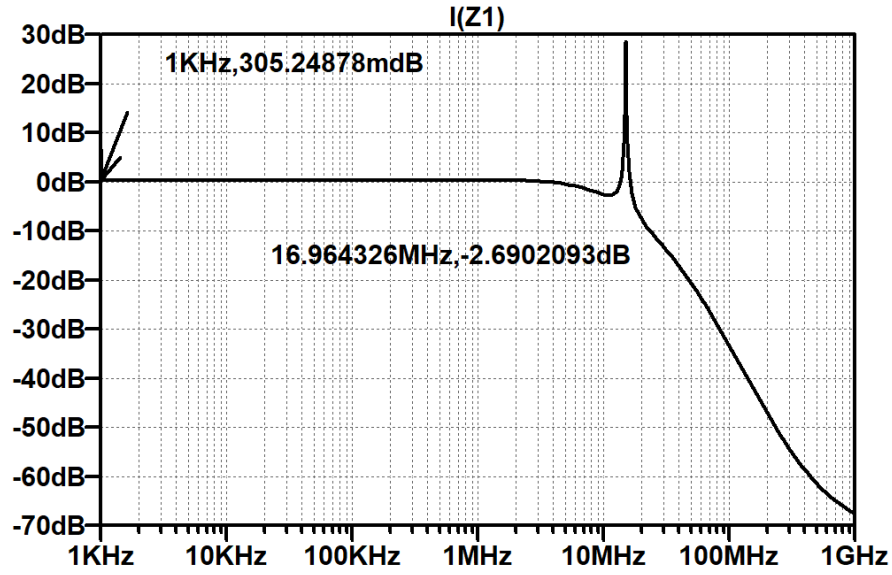
Şekil 3.103 , Y_3 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. Önerilen MOS FDCCII devresinin V_{X2}/V_{Y3} gerilim izleme eğrisi yaklaşık 20.63MHz'lik bant genişliğine sahiptir.



Şekil 3.104: Önerilen MOS FDCCII devresine ait V_{X2}/V_{Y3} 'ün frekans yanıtı

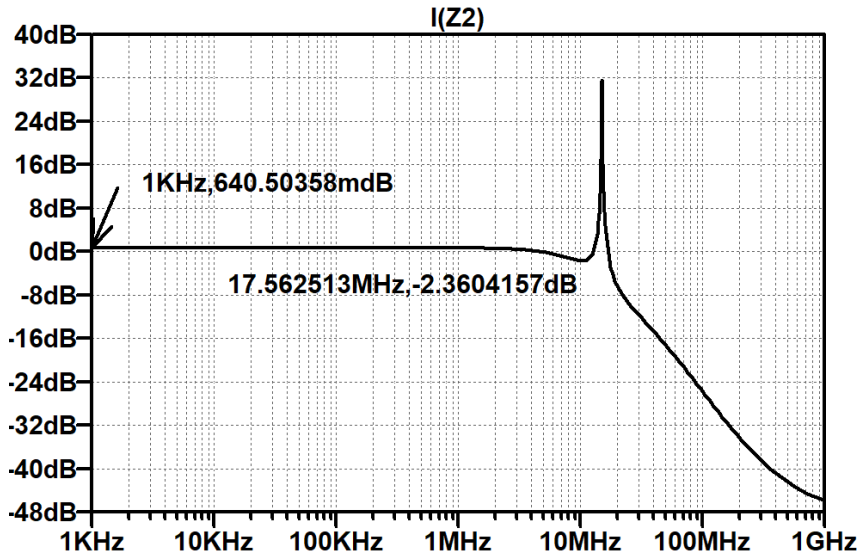
Şekil 3.105 - Şekil 3.108 önerilen MOS DXDDC devresinin AC akım izleme (I_{Z1}/I_{X1} , I_{Z2}/I_{X1} , I_{Z1}/I_{X2} , I_{Z2}/I_{X2}) eğrileri görülmektedir.

Şekil 3.105, X_1 ve Z_1 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X1} , 1A genliğinde AC sinyaldir. Önerilen MOS DXDDC devresinin I_{Z1}/I_{X1} akım izleme eğrisi yaklaşık 16.96MHz'lik bant genişliğine sahiptir.



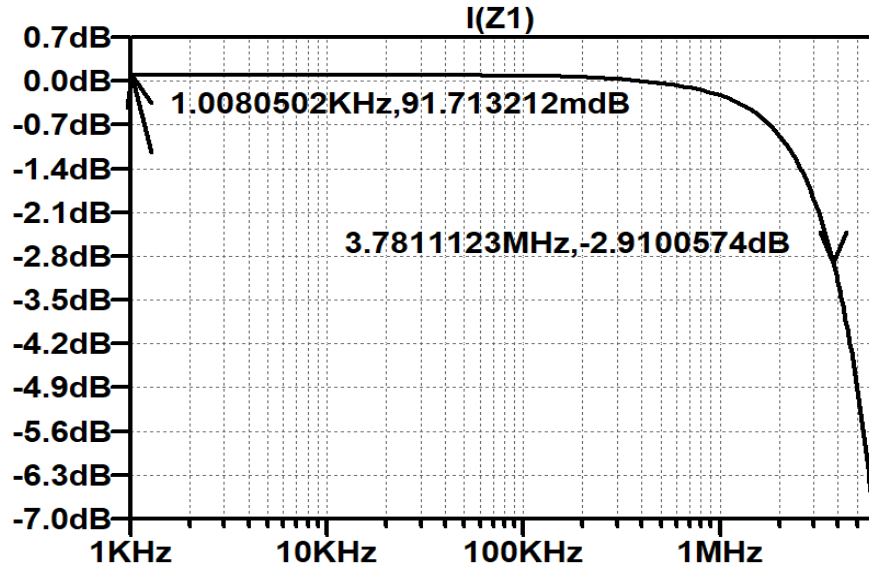
Şekil 3.105: Önerilen MOS DXDDCC devresine ait I_{Z1}/I_{X1} 'in frekans yanıtı

Şekil 3.106, X_1 ve Z_2 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X1} , 1A genliğinde AC sinyaldir. Önerilen MOS DXDDCC devresinin I_{Z2}/I_{X1} akım izleme eğrisi yaklaşık 17.56MHz'lik bant genişliğine sahiptir.



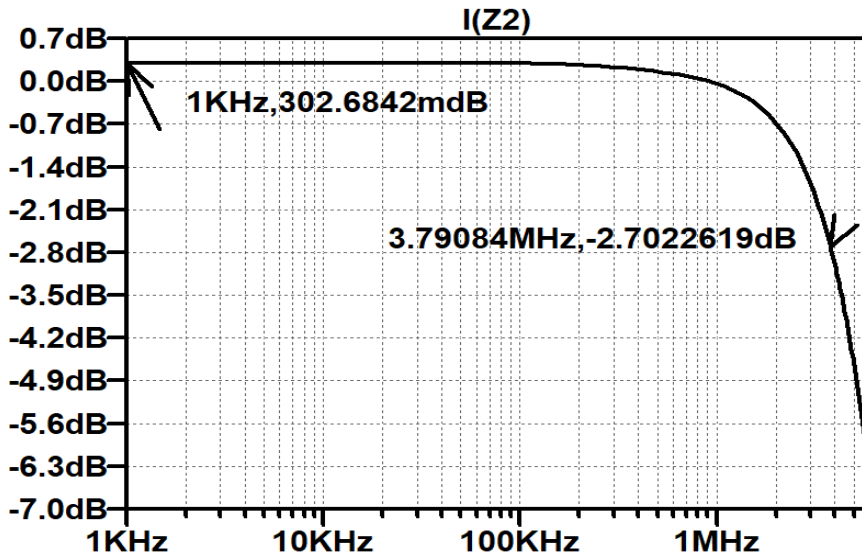
Şekil 3.106: Önerilen MOS DXDDCC devresine ait I_{Z2}/I_{X1} 'in frekans yanıtı

Şekil 3.107, X_2 ve Z_1 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen MOS DXDDCC devresinin I_{Z1}/I_{X2} gerilim izleme eğrisi yaklaşık 3.78MHz'lik bant genişliğine sahiptir.



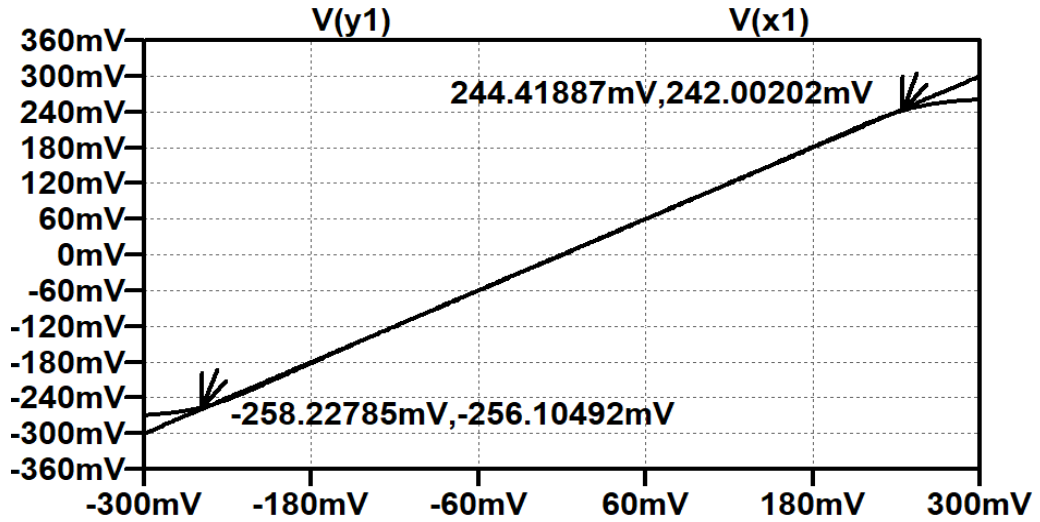
Şekil 3.107: Önerilen MOS DXDDCC devresine ait I_{Z1}/I_{X2} 'nin frekans yanıtı

Şekil 3.108, X_2 ve Z_2 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen MOS DXDDCC devresinin I_{Z2}/I_{X2} gerilim izleme eğrisi yaklaşık 3.79MHz'lik bant genişliğine sahiptir.



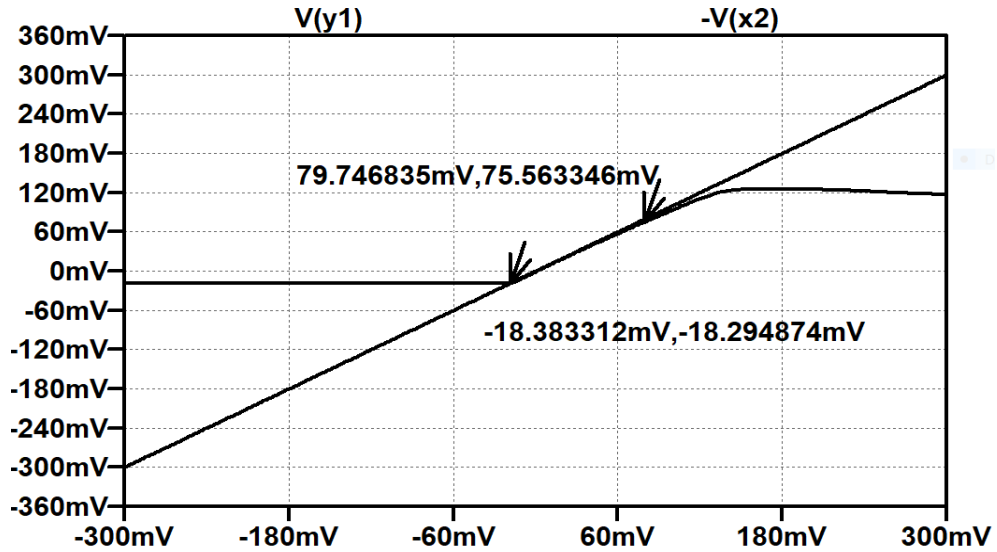
Şekil 3.108: Önerilen MOS DXDDCC devresine ait I_{Z2}/I_{X2} 'nin frekans yanıtı

Şekil 3.109, önerilen MOS DXDDCC devresinin $V_{X1}-V_{Y1}$ DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.3V ile 0.3V değiştirilirken X_1 ucundaki gerilim gösterilmiştir. V_{X1} gerilimi, -258.23mV ile 244.42mV aralığında V_{Y1} gerilimini izlemektedir.



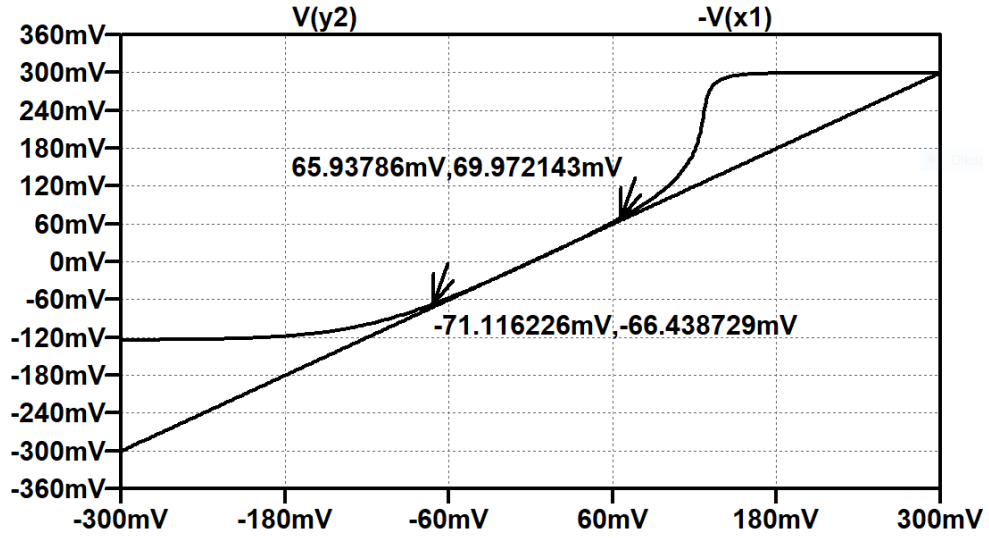
Şekil 3.109: Önerilen MOS DXDDCC devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.110, önerilen MOS DXDDCC devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.3V ile 0.3V arasında değişirken X_2 ucundaki gerilimin değişimi gösterilmiştir. $-V_{X2}$ gerilimi, -18.38mV ile 79.75mV aralığında V_{Y1} gerilimini izlemektedir.



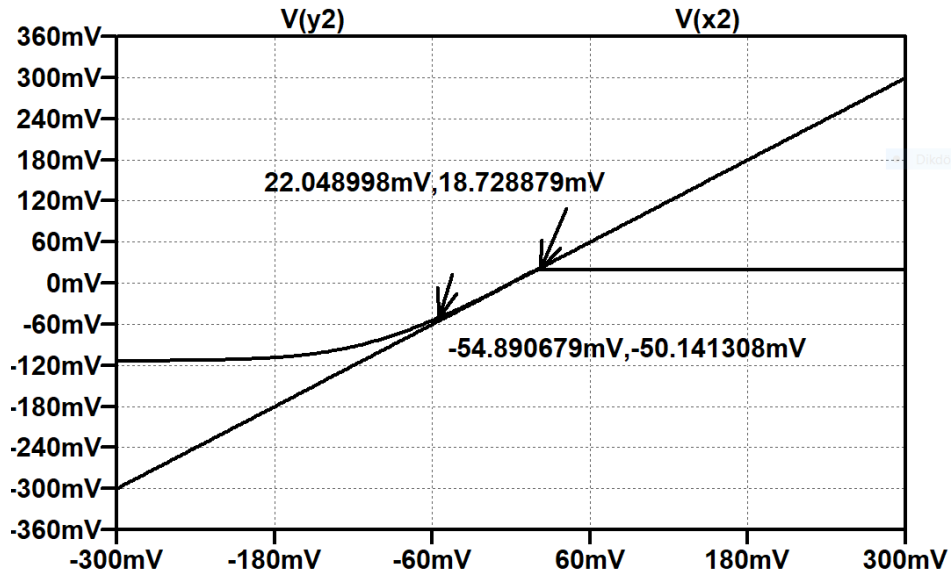
Şekil 3.110: Önerilen MOS DXDDCC devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.111, önerilen MOS DXDDCC devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi -0.3V ile 0.3V arasında değişirken X_1 ucundaki gerilimin değişimi gösterilmiştir. $-V_{X1}$ gerilimi, -71.12mV ile 65.94mV aralığında V_{Y2} gerilimini izlemektedir.



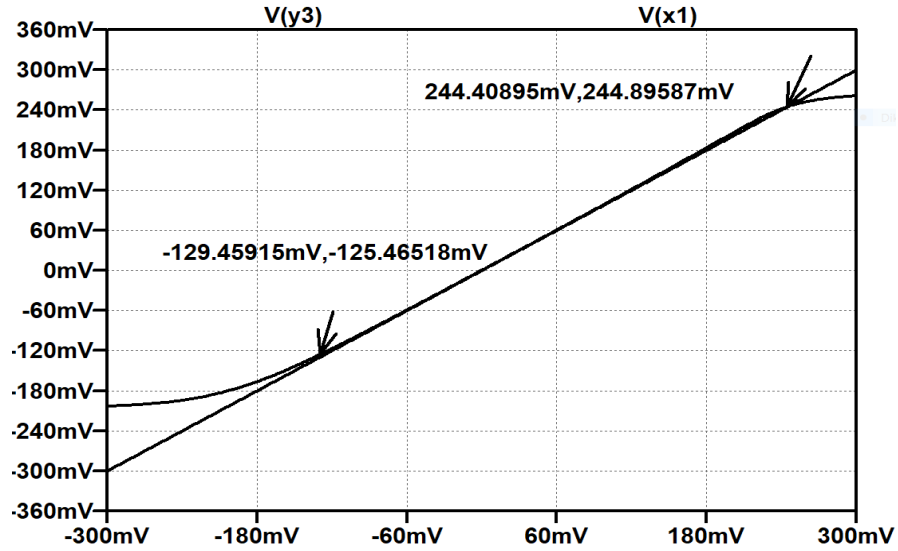
Şekil 3.111: Önerilen MOS DXDDCC devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.112, önerilen MOS DXDDCC devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi $-0.3V$ ile $0.3V$ arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. V_{X2} gerilimi, $-54.89mV$ ile $22.05mV$ aralığında V_{Y2} gerilimini izlemektedir.



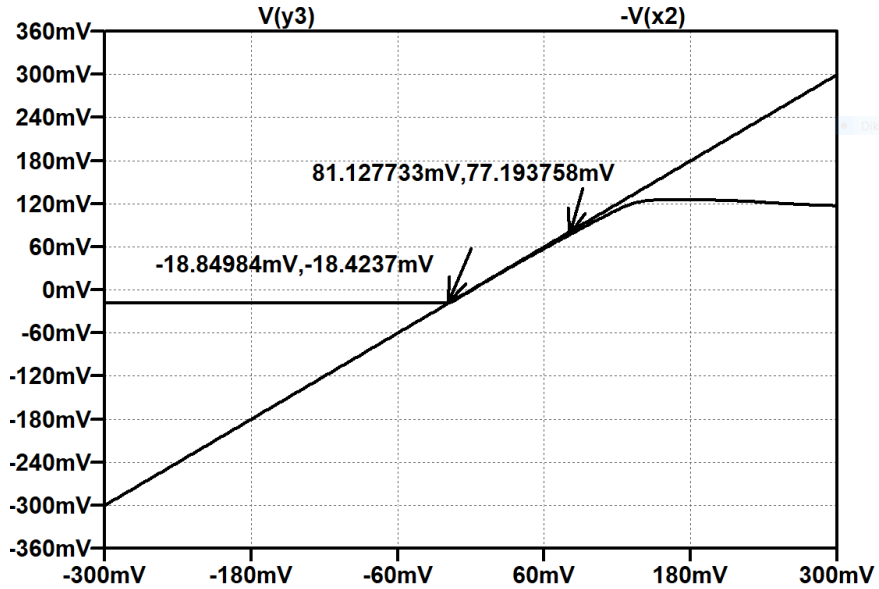
Şekil 3.112: Önerilen MOS DXDDCC devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.113, önerilen MOS DXDDCC devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiğini göstermektedir. V_{Y3} 'ün DC gerilimi $-0.3V$ ile $0.3V$ arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{X1} gerilimi, $-129.46mV$ ile $244.4mV$ aralığında V_{Y3} gerilimini izlemektedir.



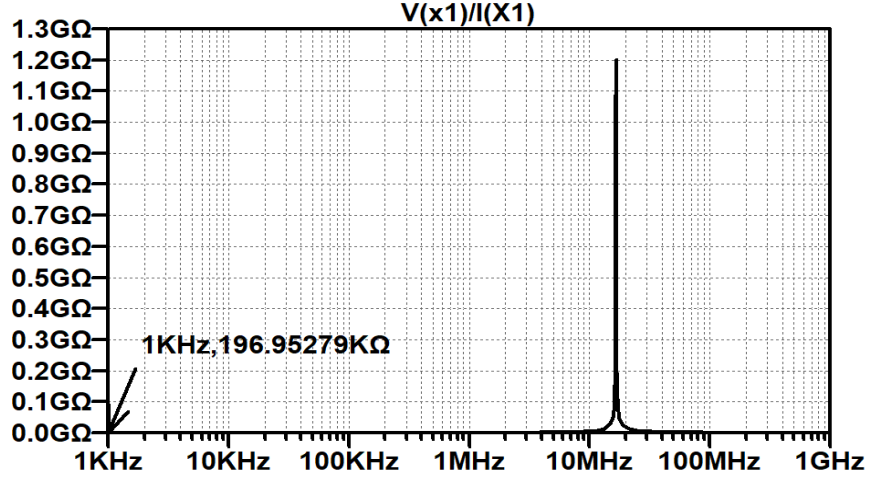
Şekil 3.113: Önerilen MOS DXDDCC devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiği

Şekil 3.114, önerilen MOS DXDDCC devresinin V_{X2} - V_{Y3} DC gerilim transfer karakteristiğini göstermektedir. V_{Y3} 'ün DC gerilimi $-0.3V$ ile $0.3V$ arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. $-V_{X2}$ gerilimi, $-18.85mV$ ile $81.13mV$ aralığında V_{Y3} gerilimini izlemektedir.



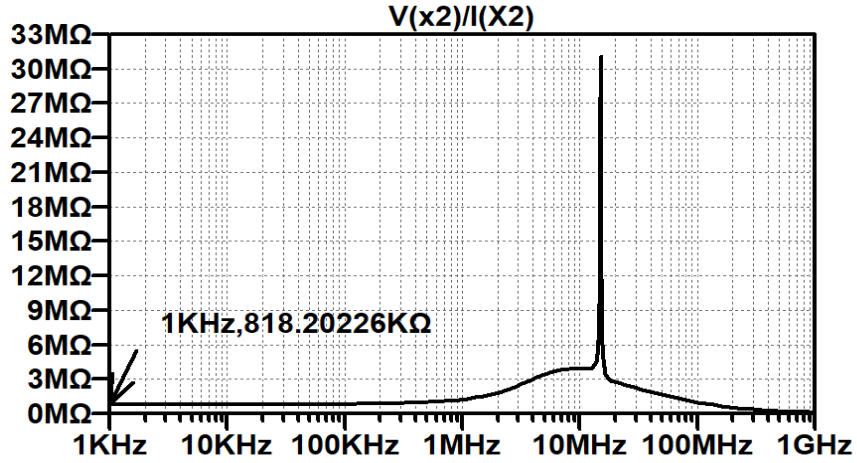
Şekil 3.114: Önerilen MOS DXDDCC devresinin V_{X2} - V_{Y3} DC gerilim transfer karakteristiği

Şekil 3.115, önerilen MOS DXDDCC devresinin X_1 çıkış empedansının frekans yanıtını göstermektedir. V_{X1} , $1V$ genliğinde AC sinyaldir. X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS DXDDCC devresinin X_1 düğümündeki parazitik empedans değerinin $196.95k\Omega$ olduğu görülmüştür.



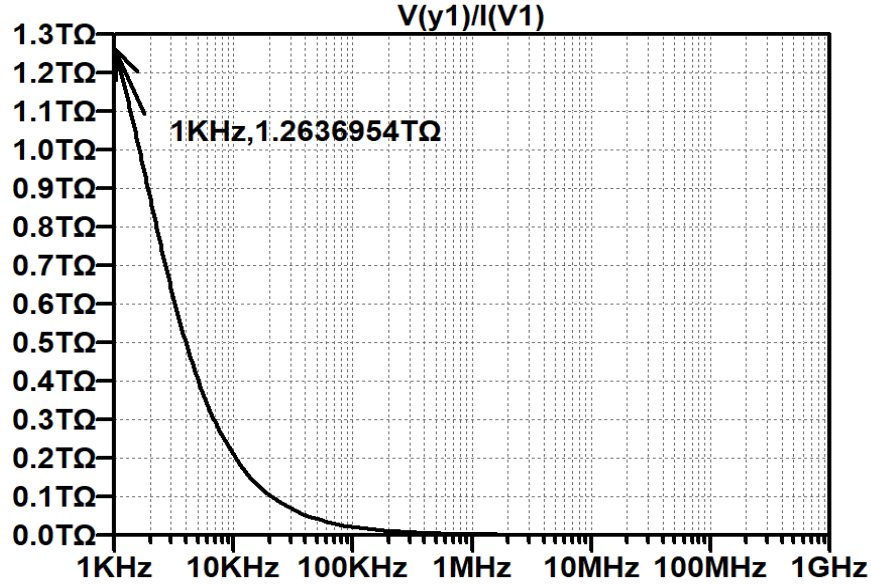
Şekil 3.115: Önerilen MOS DXDDCC devresinin X_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.116, önerilen MOS DXDDCC devresinin X_2 çıkış empedansının frekans yanıtını göstermektedir. V_{X2} , 1V genliğinde AC sinyaldir. X_1 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS DXDDCC devresinin X_2 düğümündeki parazitik empedans değerinin 818.20kΩ olduğu görülmüştür.



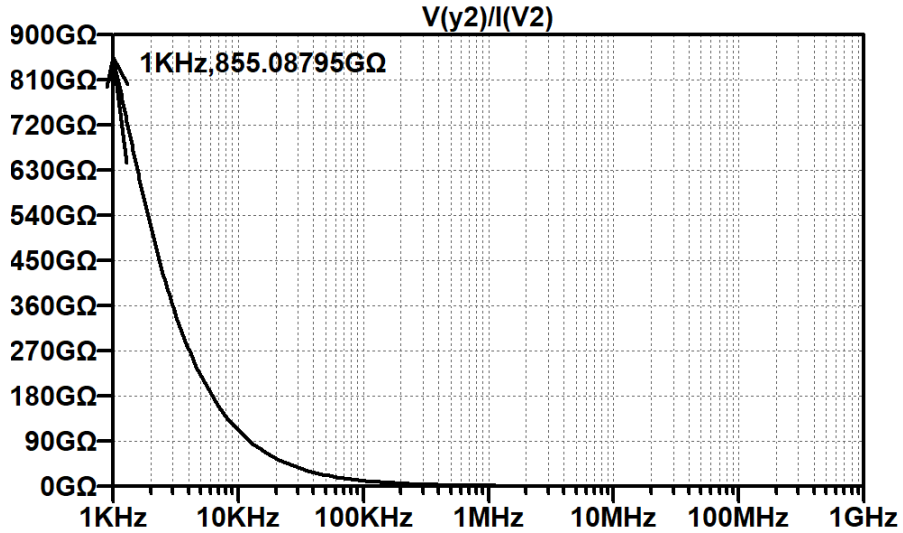
Şekil 3.116: Önerilen MOS DXDDCC devresinin X_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.117, önerilen MOS DXDDCC devresinin Y_1 çıkış empedansının frekans yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS DXDDCC devresinin Y_1 düğümündeki parazitik empedans değerinin 1.26TΩ olduğu görülmüştür.



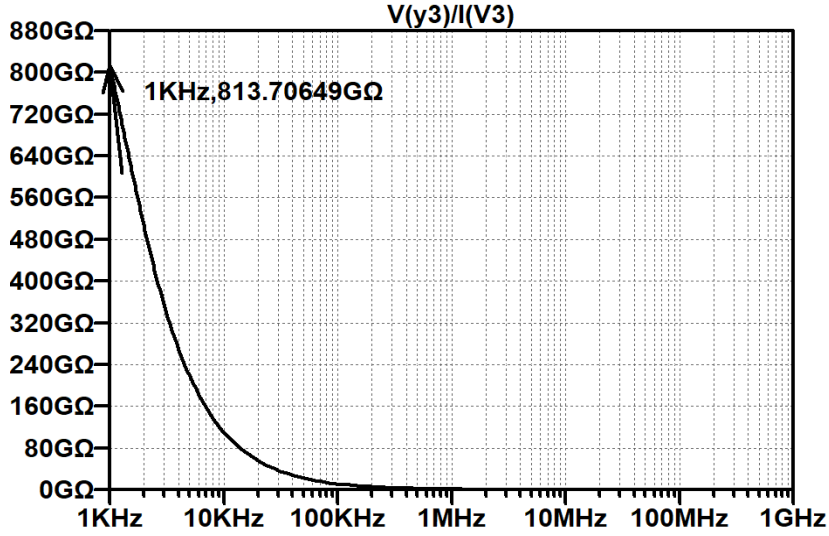
Şekil 3.117: Önerilen MOS DXDDCC devresinin Y_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.118, önerilen MOS DXDDCC devresinin Y_2 çıkış empedansının frekans yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS DXDDCC devresinin Y_2 düğümündeki parazitik empedans değerinin 855.09GΩ olduğu görülmüştür.



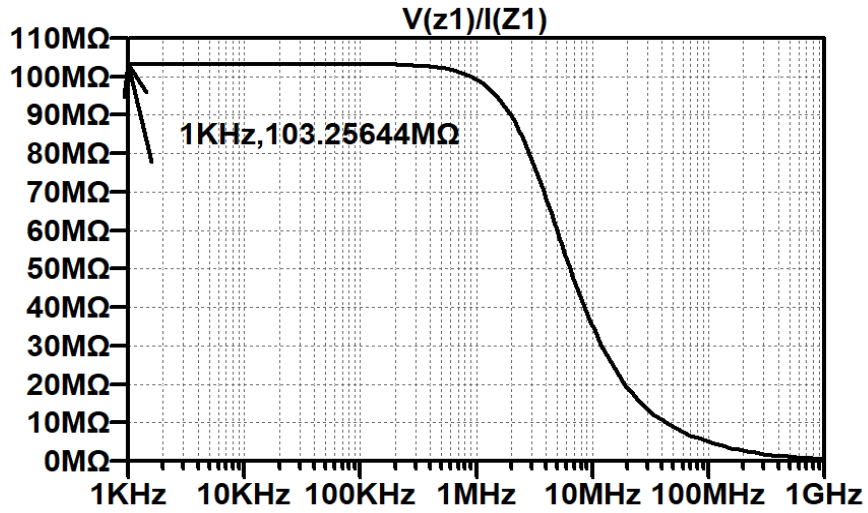
Şekil 3.118: Önerilen MOS DXDDCC devresinin Y_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.119, önerilen MOS DXDDCC devresinin Y_3 çıkış empedansının frekans yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS DXDDCC devresinin Y_3 düğümündeki parazitik empedans değerinin 813.71GΩ olduğu görülmüştür.



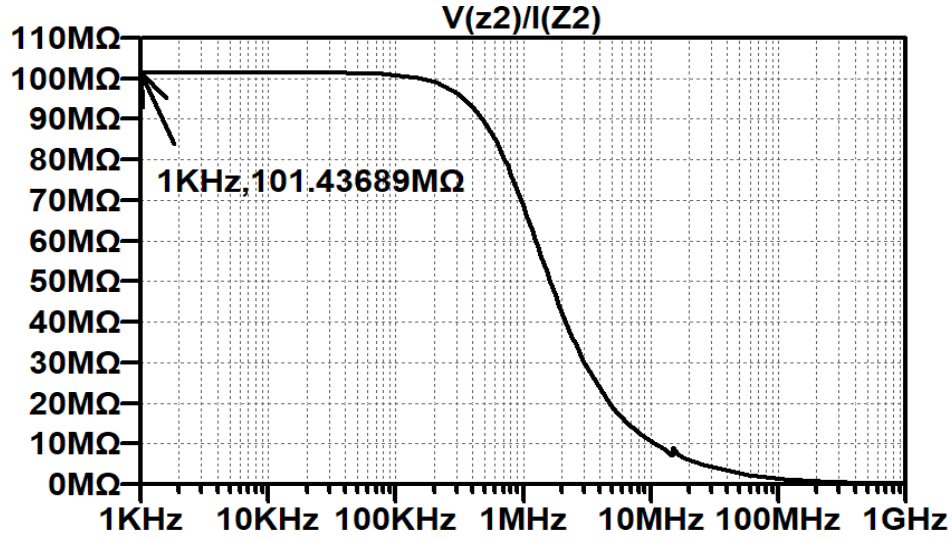
Şekil 3.119: Önerilen MOS DXDDCC devresinin Y_3 düğümünde görülen parazitik empedans eğrisi

Şekil 3.120, önerilen MOS DXDDCC devresinin Z_1 çıkış empedansının frekans yanıtını göstermektedir. V_{Z1} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen MOS DXDDCC devresinin Z_1 düğümündeki parazitik empedans değerinin 103.26MΩ olduğu görülmüştür.



Şekil 3.120: Önerilen MOS DXDDCC devresinin Z_1 düğümünde görülen parazitik empedans eğrisi

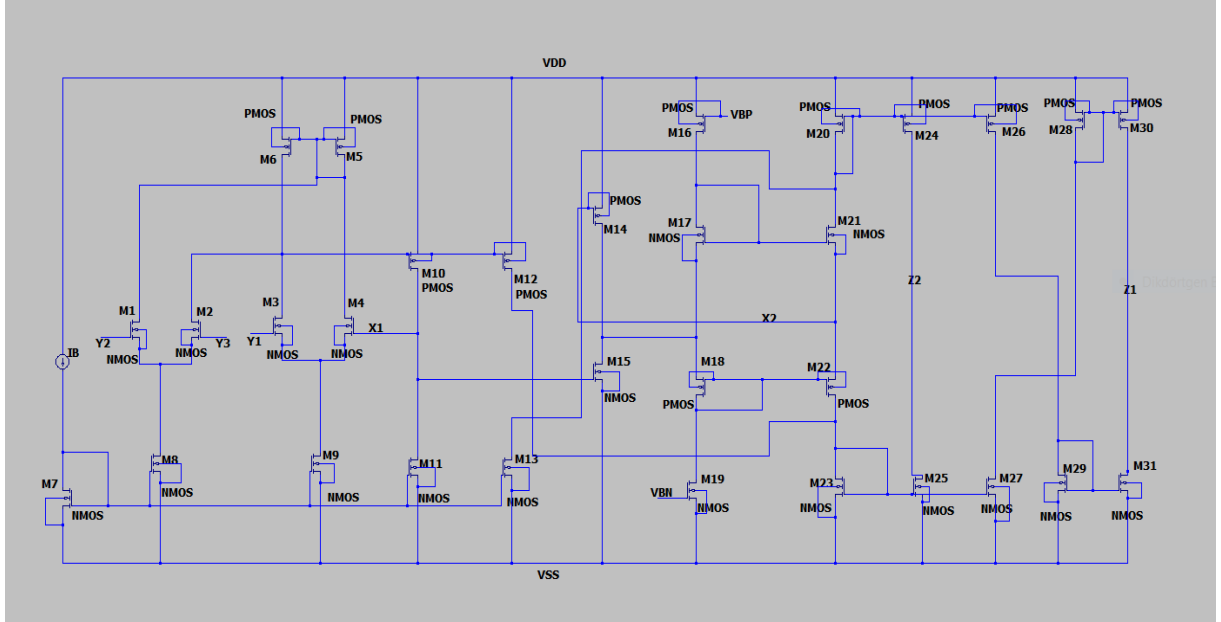
Şekil 3.121, önerilen MOS DXDDCC devresinin Z_2 çıkış empedanslarının frekans yanıtını göstermektedir. V_{Z2} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 ve Z_1 uçları toprağa kısa devre edilmiştir. Önerilen MOS DXDDCC devresinin Z_2 düğümündeki parazitik empedans değerinin 101.44MΩ olduğu görülmüştür.



Şekil 3.121: Önerilen MOS DXDDCC devresinin Z_2 düğümünde görülen parazitik empedans eğrisi

3.6 DTMOS DXDDCC

Şekil 3.122’de önerilen DTMOS tabanlı DXDDCC devresi görülmektedir. DTMOS tabanlı DXDDCC devresi LTspice programında 45nm PTM parametreleri kullanılarak tasarlanmıştır. DTMOS tabanlı DXDDCC devresinde besleme ve kutuplama gerilimleri $V_{DD} = -V_{SS} = 0.25V$, $V_{BP} = 0.08V$, $V_{BN} = -0.11V$ olarak alınmıştır. Kutuplama akımı $I_B = 10nA$ seçilmiştir. N tipi DTMOS ve P tipi DTMOS transistörlerin boyutları tablo 3.6’da verilmiştir.

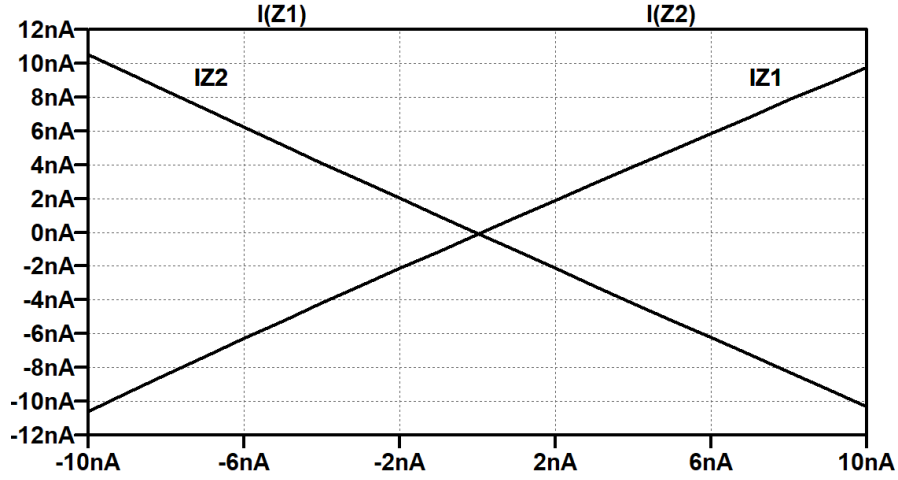


Şekil 3.122: Önerilen DTMOS DXDDCC devresi

Tablo 3.6: Önerilen DTMOS DXDDCC Devresindeki DTMOS'ların Boyutlandırılması

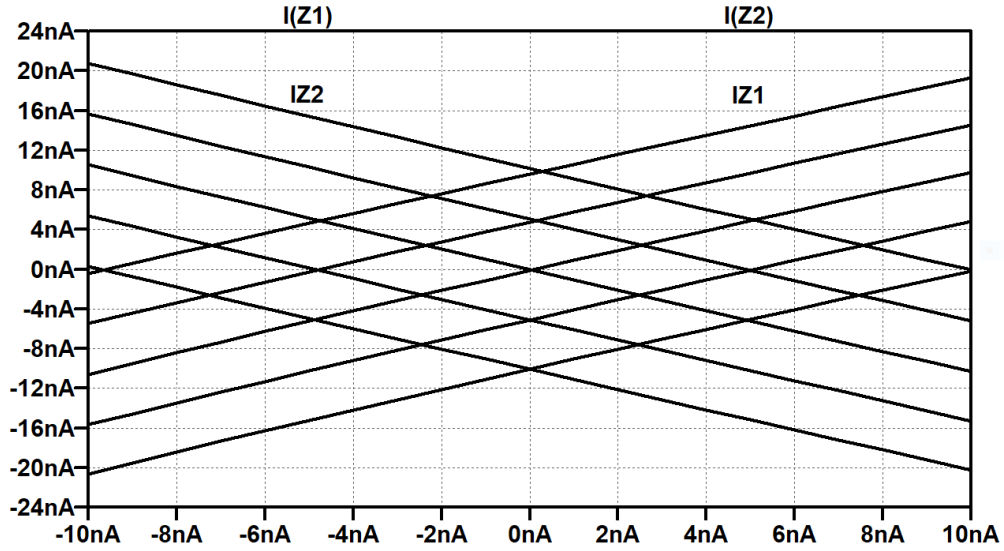
DTMOS	NMOS/PMOS	W(nm)	L(nm)
M1- M4, M17, M21	NMOS	180nm	90nm
M19	NMOS	90nm	90nm
M23, M25, M27	NMOS	900nm	90nm
M5, M6, M20	PMOS	450nm	90nm
M7- M9, M11, M13	NMOS	300nm	90nm
M10, M12	PMOS	600nm	90nm
M14	PMOS	100nm	90nm
M15	NMOS	180nm	180nm
M16, M18, M22	PMOS	900nm	90nm
M24	PMOS	470nm	90nm
M26	PMOS	480nm	90nm
M28, M30	PMOS	250nm	90nm
M29, M31	NMOS	100nm	90nm

Şekil 3.123'te, önerilen DTMOS DXDDCC devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -10nA ile 10nA arasında DC olarak taranmıştır. Şekilde de görüldüğü gibi Z_2 'nin çıkış akımı pozitif yönde maksimum 10.5nA, negatif yönde maksimum -10.3nA'dır. Z_1 'in çıkış akımı pozitif yönde maksimum 10.6nA, negatif yönde maksimum -9.8nA'dır.



Şekil 3.123: Önerilen DTMOS DXDDCC devresinin Z_1 ve Z_2 çıkış akım eğrisi

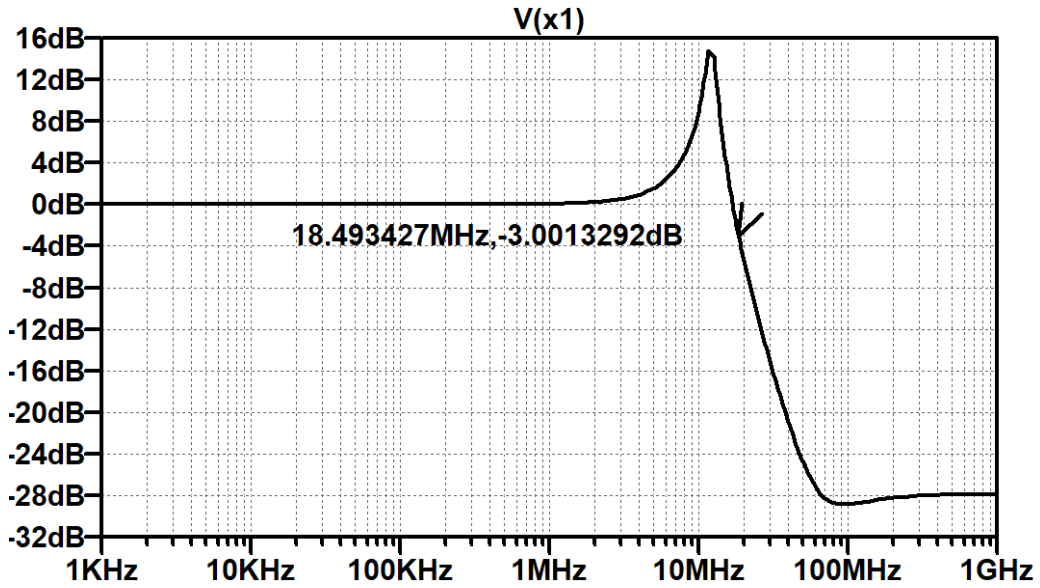
Şekil 3.124'te, önerilen DTMOS DXDDCC devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -10nA ile 10nA arasında DC olarak taranmıştır. I_{X2} akım kaynağını step analizi ile -10nA ile 10nA arasında 5nA'lık artışlarla değiştirilmiştir.



Şekil 3.124: Önerilen DT MOS DXDDCC devresinin DC akım eğrileri (Step param I_{X2} -10n 10n 5n)

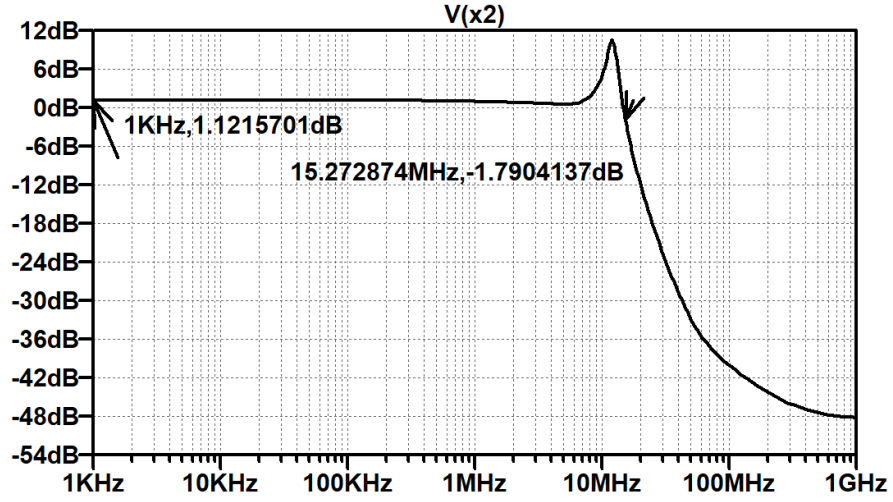
Şekil 3.125 - Şekil 3.130 önerilen DT MOS DXDDCC devresinin gerilim izleme (V_{X1}/V_{Y1} , V_{X2}/V_{Y1} , V_{X1}/V_{Y2} , V_{X2}/V_{Y2} , V_{X1}/V_{Y3} , V_{X2}/V_{Y3}) eğrileri görülmektedir.

Şekil 3.125, Y_1 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen DT MOS DXDDCC devresinin V_{X1}/V_{Y1} gerilim izleme eğrisi yaklaşık 18.49MHz'lik bant genişliğine sahiptir.



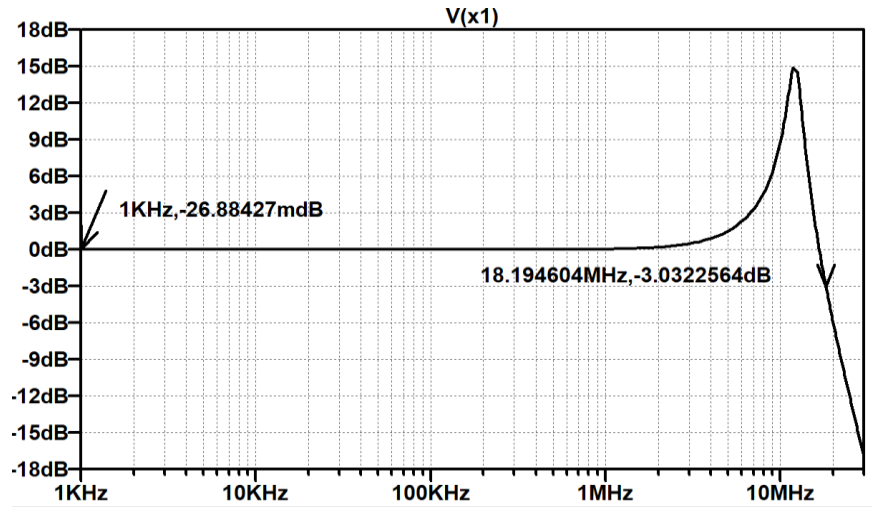
Şekil 3.125: Önerilen DT MOS DXDDCC devresindeki V_{X1}/V_{Y1} 'in frekans yanıtı

Şekil 3.126, Y_1 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen DT MOS DXDDCC devresinin V_{X2}/V_{Y1} gerilim izleme eğrisi yaklaşık 15.27MHz'lik bant genişliğine sahiptir.



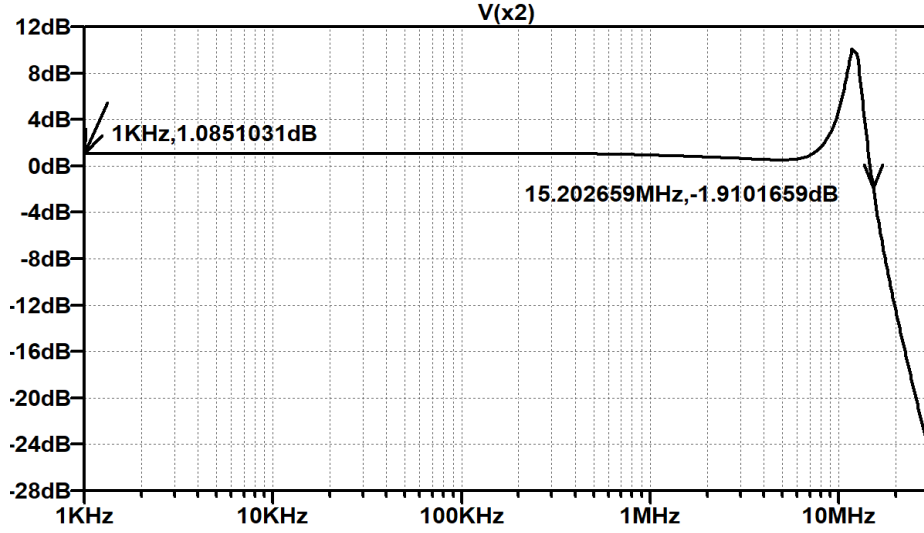
Şekil 3.126: Önerilen DT MOS DXDDCC devresine ait V_{x2}/V_{y1} 'in frekans yanıtı

Şekil 3.127, Y_2 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen DT MOS DXDDCC devresinin V_{X1}/V_{Y2} gerilim izleme eğrisi yaklaşık 18.19MHz'lik bant genişliğine sahiptir.



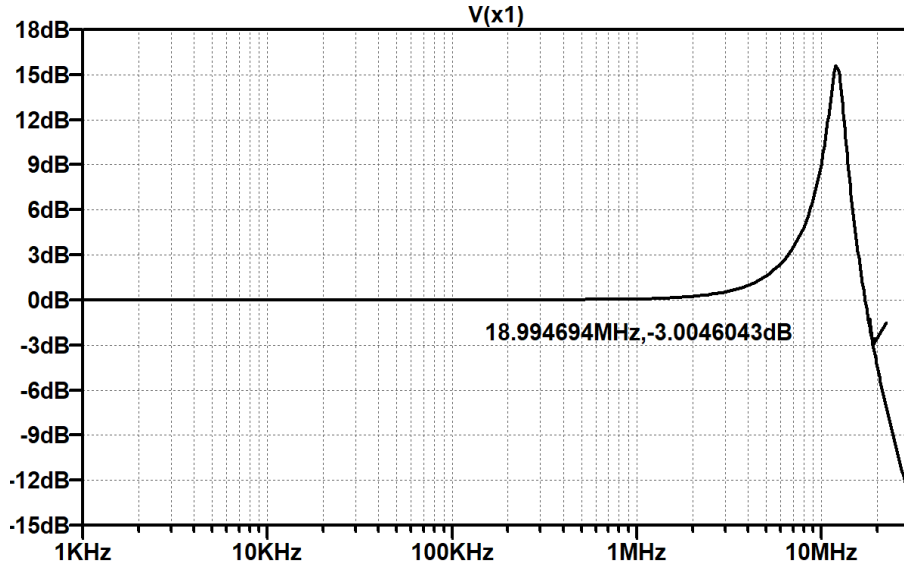
Şekil 3.127: Önerilen DT MOS DXDDCC devresine ait V_{X1}/V_{Y2} 'nin frekans yanıtı

Şekil 3.128, Y_2 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen DT MOS DXDDCC devresinin V_{X2}/V_{Y2} gerilim izleme eğrisi yaklaşık 15.20MHz'lik bant genişliğine sahiptir.



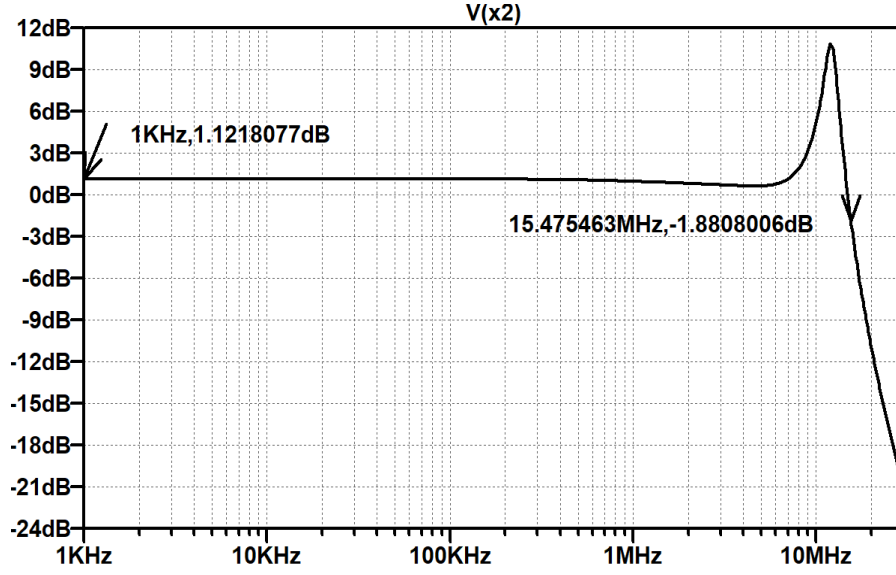
Şekil 3.128: Önerilen DT MOS DXDDCC devresine ait V_{X2}/V_{Y2} 'nin frekans yanıtı

Şekil 3.129, Y_3 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. Önerilen DT MOS FDCCII devresinin V_{X1}/V_{Y3} gerilim izleme eğrisi yaklaşık 18.99MHz'lik bant genişliğine sahiptir.



Şekil 3.129: Önerilen DT MOS DXDDCC devresine ait V_{X1}/V_{Y3} 'ün frekans yanıtı

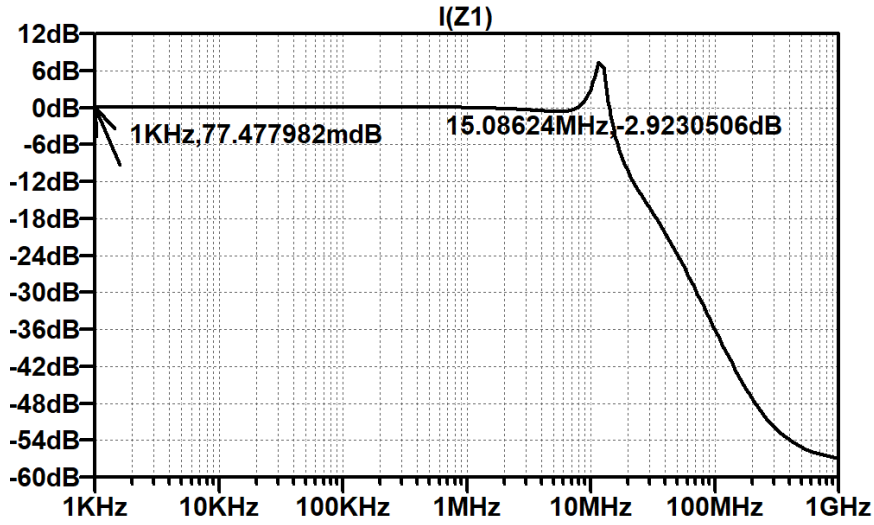
Şekil 3.130, Y_3 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. Önerilen DT MOS FDCCII devresinin V_{X2}/V_{Y3} gerilim izleme eğrisi yaklaşık 15.48MHz'lik bant genişliğine sahiptir.



Şekil 3.130: Önerilen DT MOS DXDDCC devresine ait V_{x2}/V_{y3} 'ün frekans yanıtı

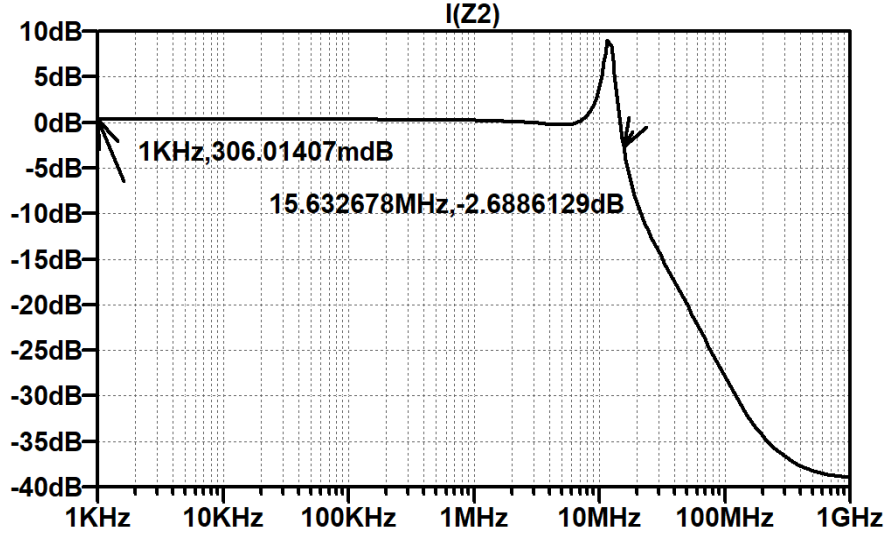
Şekil 3.131 - Şekil 3.134 önerilen DT MOS DXDDCC devresinin akım izleme (I_{z1}/I_{x1} , I_{z2}/I_{x1} , I_{z1}/I_{x2} , I_{z2}/I_{x2}) eğrileri görülmektedir.

Şekil 3.131, X_1 ve Z_1 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{x1} , 1A genliğinde AC sinyaldir. Önerilen DT MOS DXDDCC devresinin I_{z1}/I_{x1} akım izleme eğrisi yaklaşık 15.09MHz'lik bant genişliğine sahiptir.



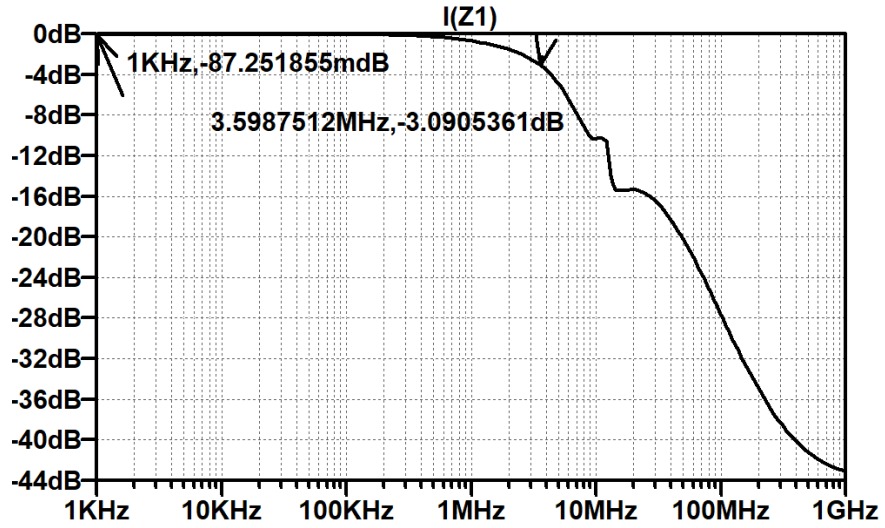
Şekil 3.131: Önerilen DT MOS DXDDCC devresine ait I_{z1}/I_{x1} 'in frekans yanıtı

Şekil 3.132, X_1 ve Z_2 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{x1} , 1A genliğinde AC sinyaldir. Önerilen DT MOS DXDDCC devresinin I_{z2}/I_{x1} akım izleme eğrisi yaklaşık 15.63MHz'lik bant genişliğine sahiptir.



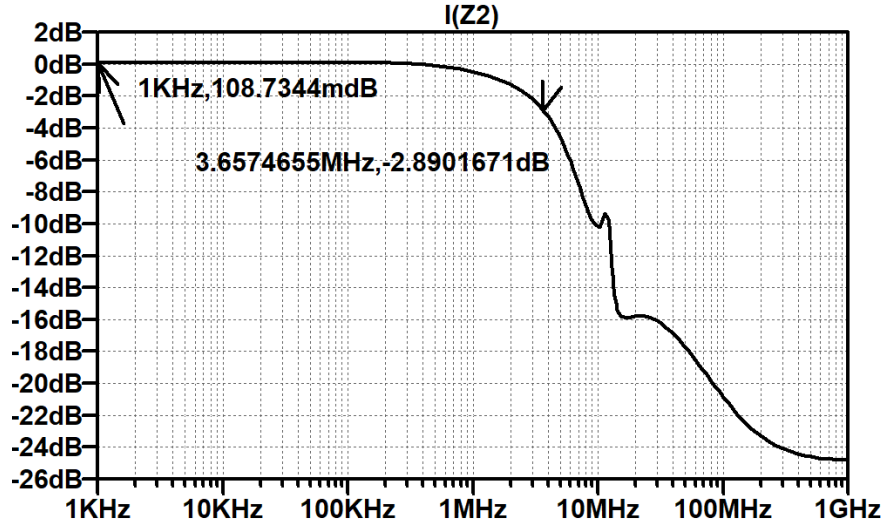
Şekil 3.132: Önerilen DT MOS DXDDCC devresine ait I_{Z2}/I_{X1} 'in frekans yanıtı

Şekil 3.133, X_2 ve Z_1 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen DT MOS DXDDCC devresinin I_{Z1}/I_{X2} akım izleme eğrisi yaklaşık 3.6MHz'lik bant genişliğine sahiptir.



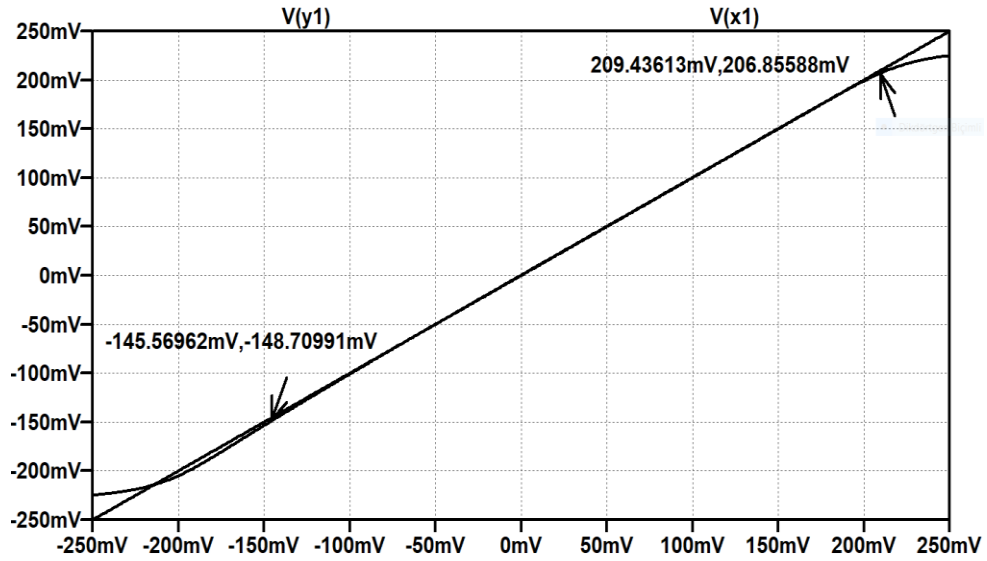
Şekil 3.133: Önerilen DT MOS DXDDCC devresine ait I_{Z1}/I_{X2} 'nin frekans yanıtı

Şekil 3.134, X_2 ve Z_2 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen DT MOS DXDDCC devresinin I_{Z2}/I_{X2} akım izleme eğrisi yaklaşık 3.66MHz'lik bant genişliğine sahiptir.



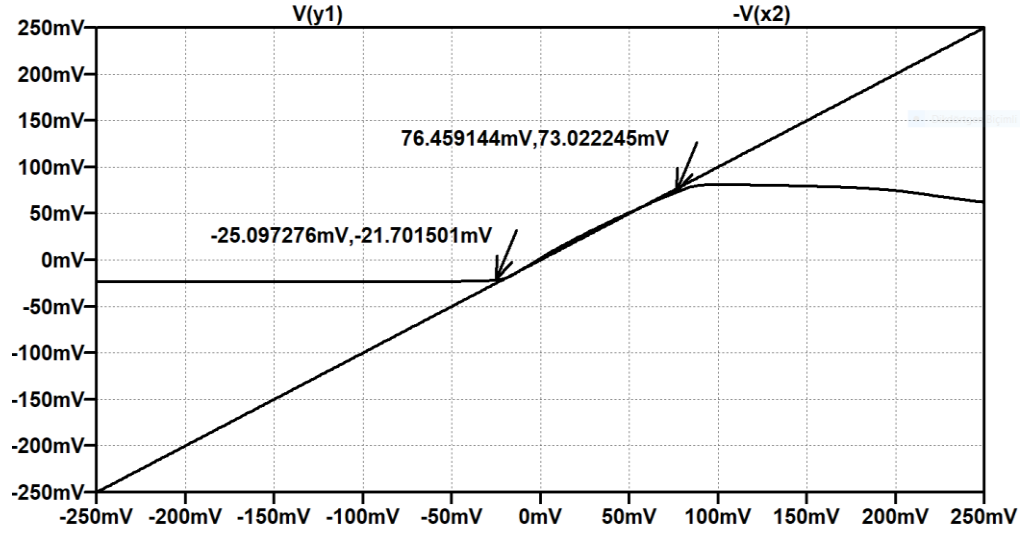
Şekil 3.134: Önerilen DTMOS DXDDCC devresine ait I_{Z2}/I_{X2} 'nin frekans yanıtı

Şekil 3.135, önerilen DTMOS DXDDCC devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.25V ile 0.25V arasında değişirken X_1 ucundaki gerilim gösterilmiştir. V_{X1} gerilimi, -145.60mV ile 209.44mV aralığında V_{Y1} gerilimini izlemektedir.



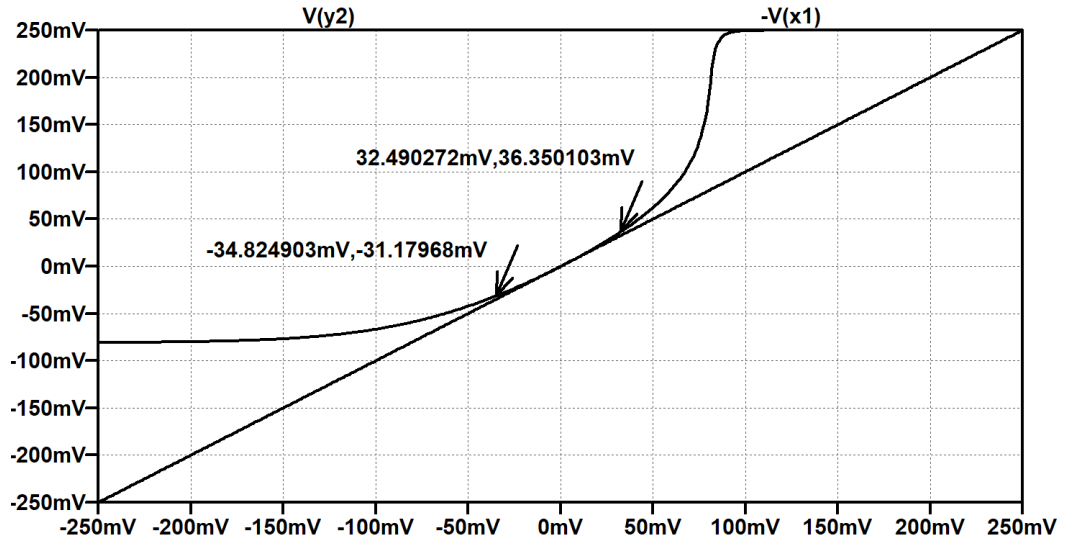
Şekil 3.135: Önerilen DTMOS DXDDCC devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.136, önerilen DTMOS DXDDCC devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.25V ile 0.25V arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. $-V_{X2}$ gerilimi, -25.10mV ile 76.46mV aralığında V_{Y1} gerilimini izlemektedir.



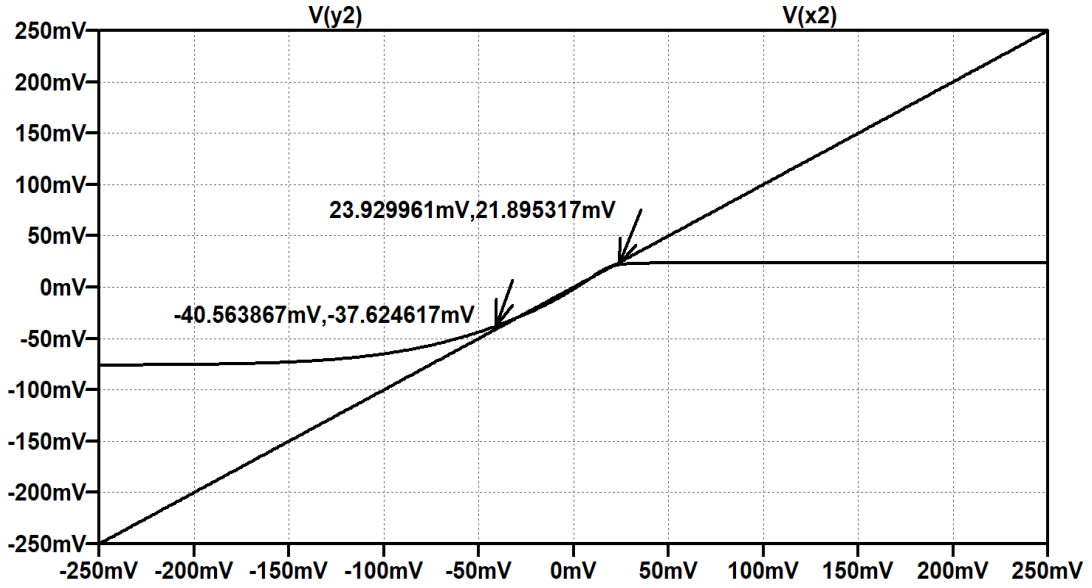
Şekil 3.136: Önerilen DTMOS DXDDCC devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.137, önerilen DTMOS DXDDCC devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi -0.25V ile 0.25V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. $-V_{X1}$ gerilimi, -34.82mV ile 32.49mV aralığında V_{Y2} gerilimini izlemektedir.



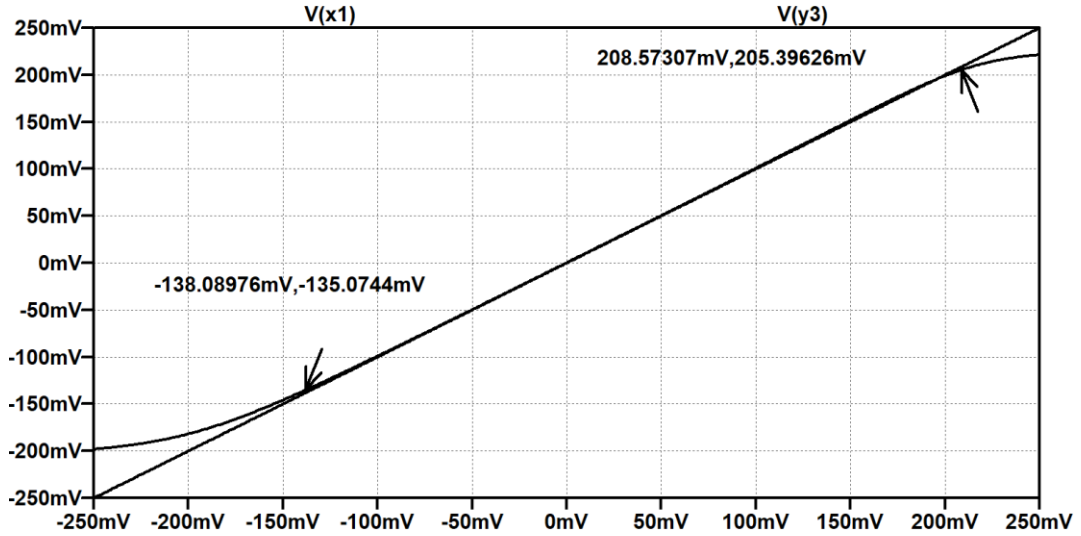
Şekil 3.137: Önerilen DTMOS DXDDCC devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.138, önerilen DTMOS DXDDCC devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi -0.25V ile 0.25V arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. V_{X2} gerilimi, -40.56mV ile 23.93mV aralığında V_{Y1} gerilimini izlemektedir.



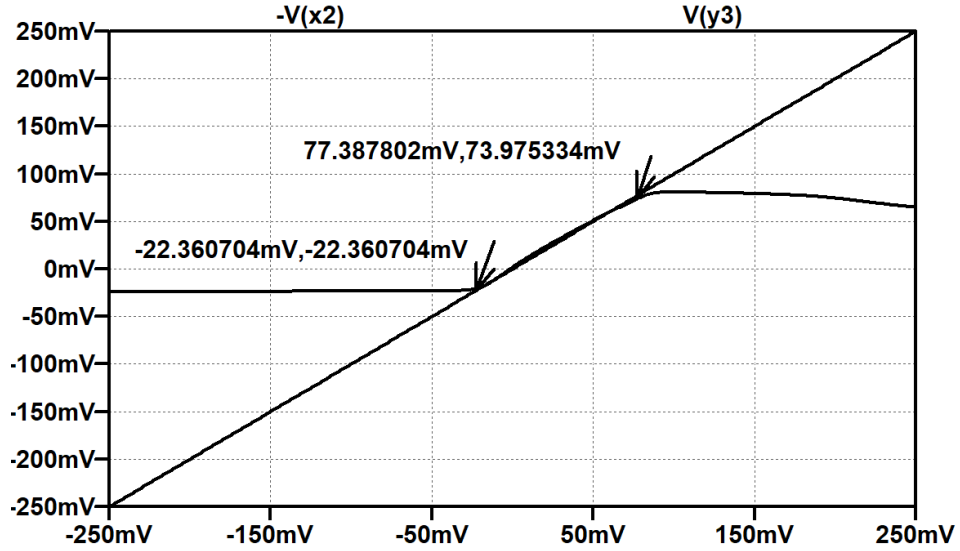
Şekil 3.138: Önerilen DTMOS DXDDCC devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.139, önerilen DTMOS DXDDCC devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiğini göstermektedir. V_{Y3} 'ün DC gerilimi $-0.25V$ ile $0.25V$ arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{X1} gerilimi, $-138.09mV$ ile $208.57mV$ aralığında V_{Y3} gerilimini izlemektedir.



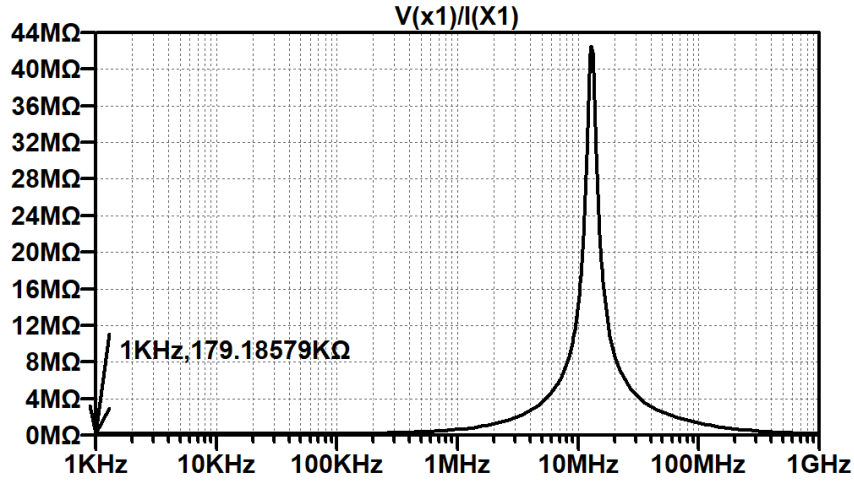
Şekil 3.139: Önerilen DTMOS DXDDCC devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiği

Şekil 3.140, önerilen DTMOS DXDDCC devresinin V_{X2} - V_{Y3} DC gerilim transfer karakteristiğini göstermektedir. V_{Y3} 'ün DC gerilimi $-0.25V$ ile $0.25V$ arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. $-V_{X2}$ gerilimi, $-22.36mV$ ile $77.39mV$ aralığında V_{Y3} gerilimini izlemektedir.



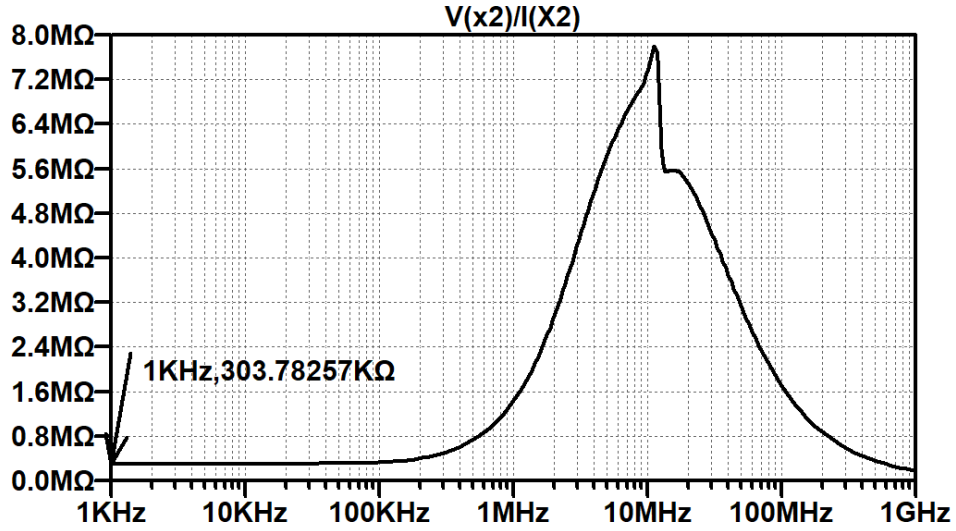
Şekil 3.140: Önerilen DTMOS DXDDCC devresinin V_{x2} - V_{y3} DC gerilim transfer karakteristiği

Şekil 3.141, önerilen DTMOS tabanlı DXDDCC devresinin X_1 empedansının frekans yanıtını göstermektedir. V_{x1} , 1V genliğinde AC sinyaldir. X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DTMOS tabanlı DXDDCC devresinin X_1 düğümündeki parazitik empedans değerinin 179.19k Ω olduğu görülmüştür.



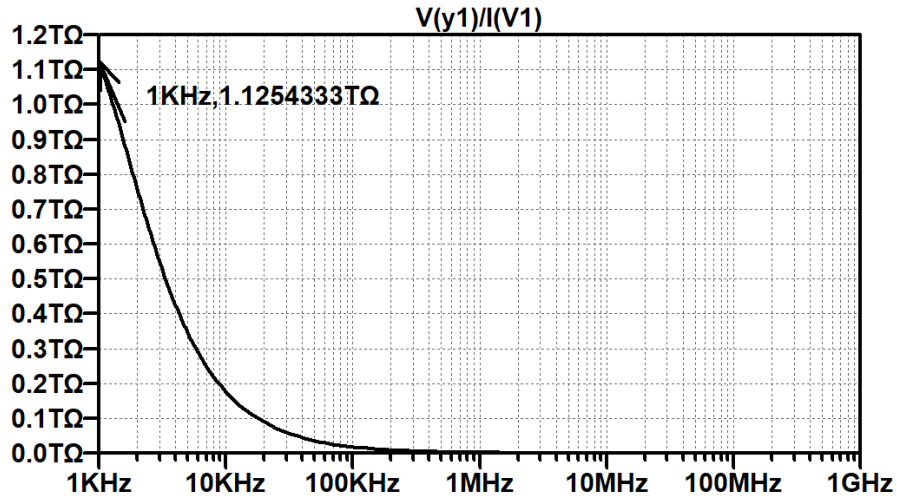
Şekil 3.141: Önerilen DTMOS DXDDCC devresinin X_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.142, önerilen DTMOS tabanlı DXDDCC devresinin X_2 empedansının frekans yanıtını göstermektedir. V_{x2} , 1V genliğinde AC sinyaldir. X_1 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DTMOS tabanlı DXDDCC devresinin X_2 düğümündeki parazitik empedans değerinin 303.78 k Ω olduğu görülmüştür.



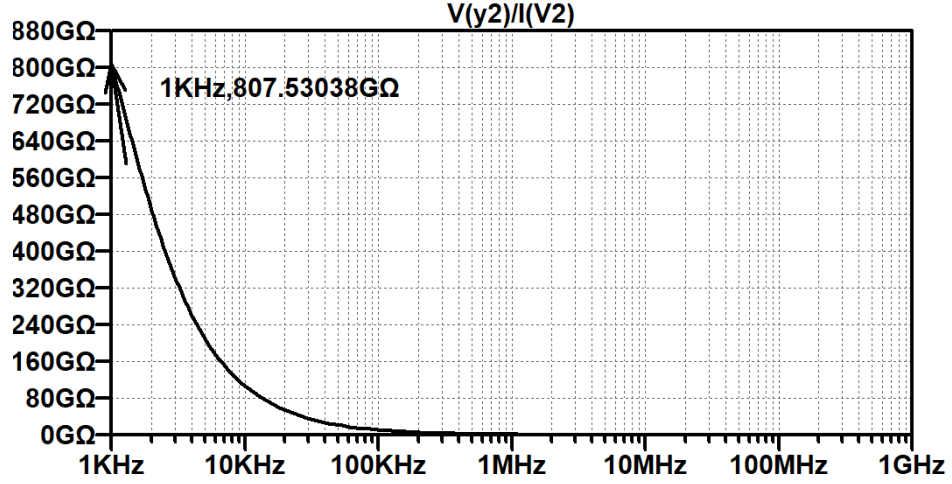
Şekil 3.142: Önerilen DTMOS DXDDCC devresinin X_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.143, önerilen DTMOS DXDDCC devresinin Y_1 empedansının frekans yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DTMOS tabanlı DXDDCC devresinin Y_1 düğümündeki parazitik empedans değerinin $1.13T\Omega$ olduğu görülmüştür.



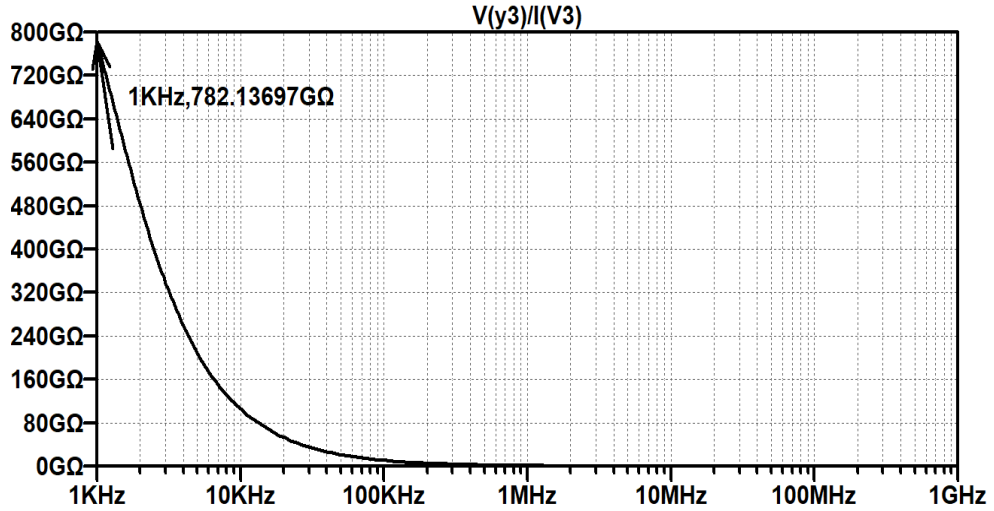
Şekil 3.143: Önerilen DTMOS DXDDCC devresinin Y_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.144, önerilen DTMOS DXDDCC devresinin Y_2 empedansının frekans yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DTMOS tabanlı DXDDCC devresinin Y_2 düğümündeki parazitik empedans değerinin $807.53G\Omega$ olduğu görülmüştür.



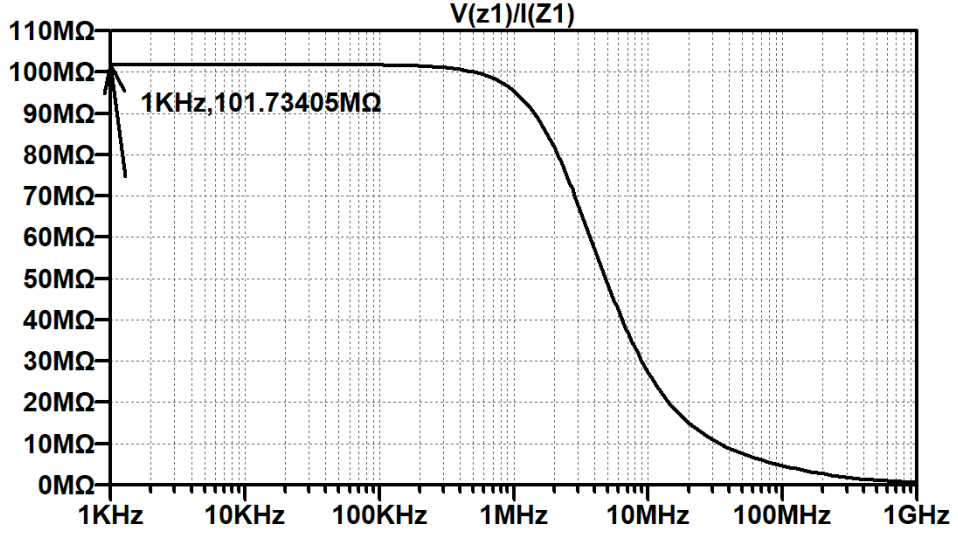
Şekil 3.144: Önerilen DTMOS DXDDCC devresinin Y_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.145, önerilen DTMOS DXDDCC devresinin Y_3 empedansının frekans yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DTMOS tabanlı DXDDCC devresinin Y_3 düğümündeki parazitik empedans değerinin 782.14GΩ olduğu görülmüştür.



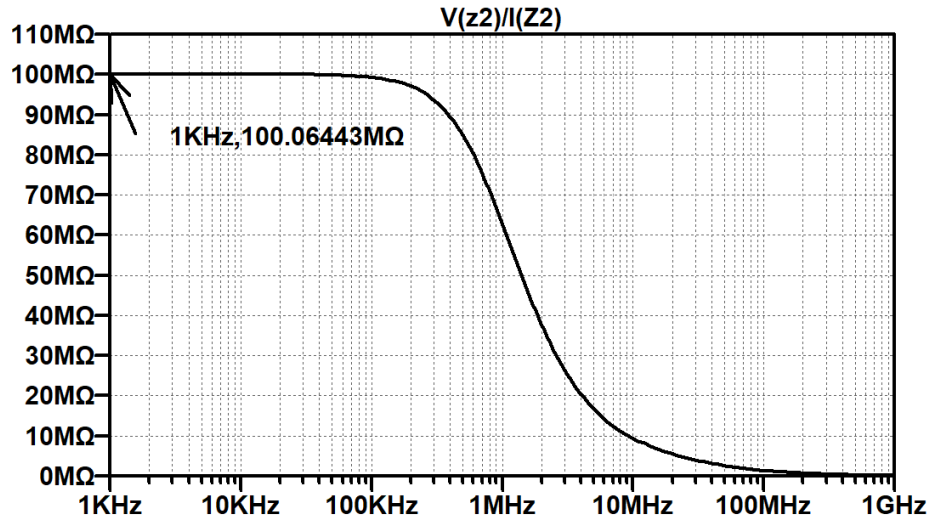
Şekil 3.145: Önerilen DTMOS DXDDCC devresinin Y_3 düğümünde görülen parazitik empedans eğrisi

Şekil 3.146, önerilen DTMOS tabanlı DXDDCC devresinin Z_1 çıkış empedansının frekans yanıtını göstermektedir. V_{Z1} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen DTMOS tabanlı DXDDCC devresinin Z_1 düğümündeki parazitik empedans değerinin 101.73MΩ olduğu görülmüştür.



Şekil 3.146: Önerilen DTMOS DXDDCC devresinin Z_1 düğümünde görülen parazitik empedans eğrisi

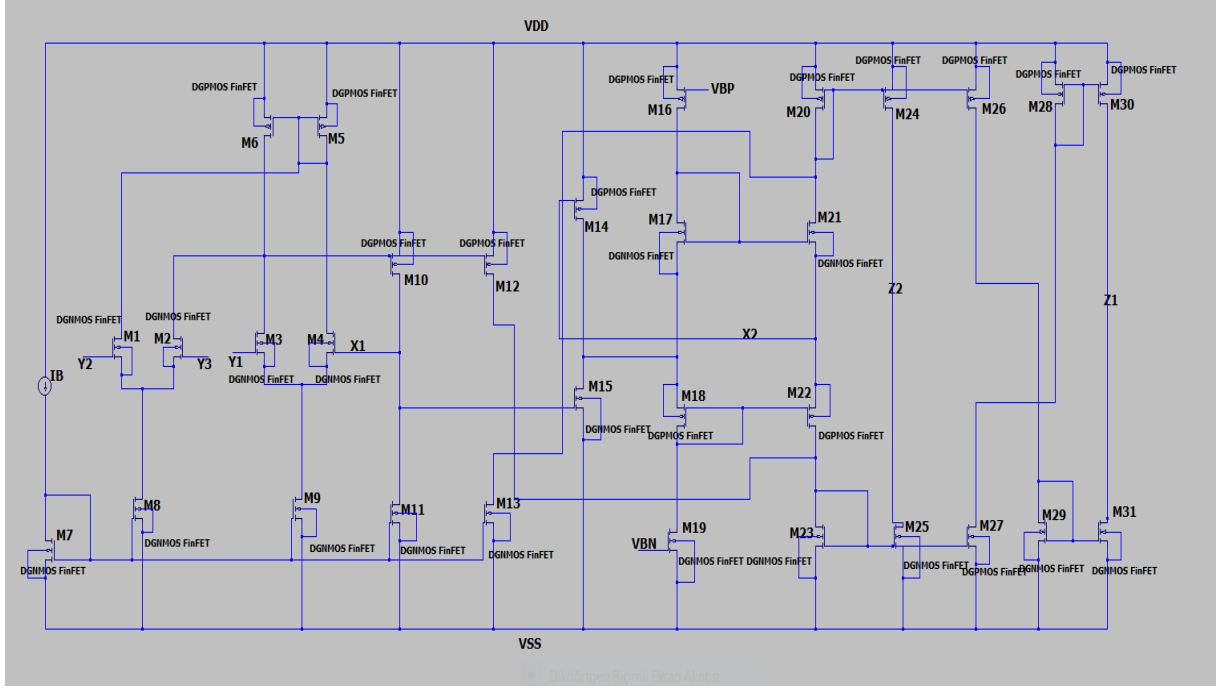
Şekil 3.147, önerilen DTMOS tabanlı DXDDCC devresinin Z_2 çıkış empedansının frekans yanıtını göstermektedir. V_{Z2} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 ve Z_1 uçları toprağa kısa devre edilmiştir. Önerilen DTMOS tabanlı DXDDCC devresinin Z_2 düğümündeki parazitik empedans değerinin 100.06MΩ olduğu görülmüştür.



Şekil 3.147: Önerilen DTMOS DXDDCC devresinin Z_2 düğümünde görülen parazitik empedans eğrisi

3.7 FinFET DXDDCC

Şekil 3.148’de önerilen FinFET tabanlı DXDDCC devresi görülmektedir. FinFET tabanlı DXDDCC devresinde besleme ve kutuplama gerilimlerine $V_{DD} = -V_{SS} = 0.1V$, $V_{BP} = 0.03V$, $V_{BN} = -0.03V$ gerilimleri uygulanmıştır. Kutuplama akımı $I_B = 10nA$ seçilmiştir. DGNMOS FinFET ve DGPMOS FinFET transistörlerinin boyutları tablo 3.7’de verilmiştir.

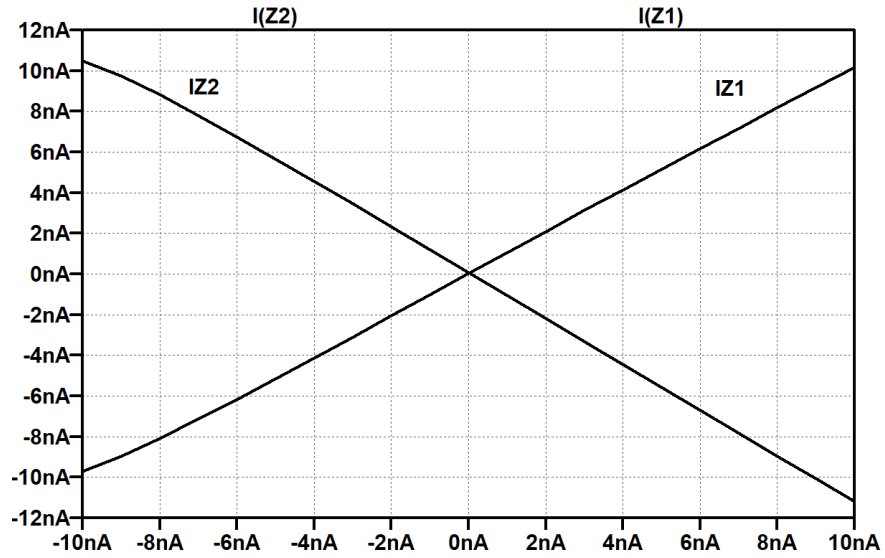


Şekil 3.148: Önerilen FinFET DXDDCC devresi

Tablo 3.7: FinFET DXDDCC Devresindeki FinFET’lerin Boyutlandırılması

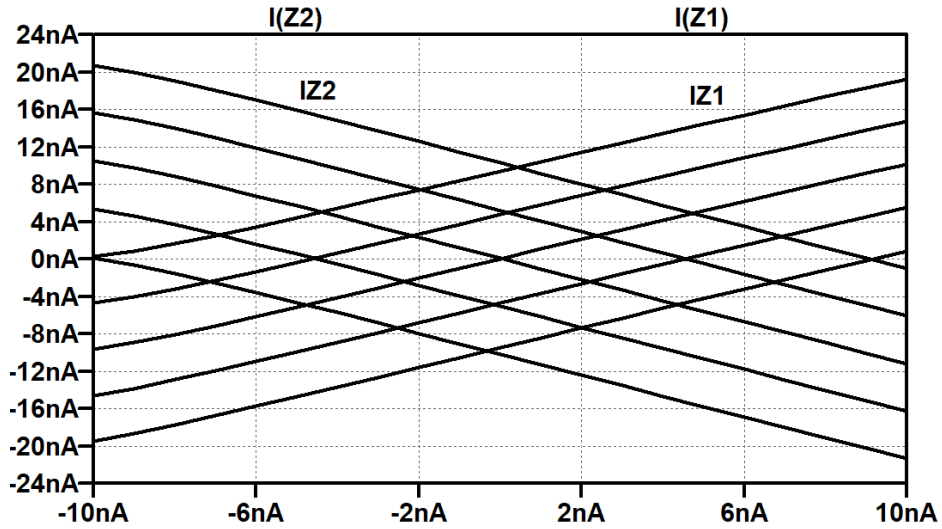
FinFET	DGNMOS/DGPMOS	W(nm)	L(nm)
M1- M4, M17, M21	DGNMOS	180nm	90nm
M19	DGNMOS	90nm	90nm
M23, M25, M27	DGNMOS	900nm	90nm
M5, M6	DGPMOS	450nm	90nm
M20	DGPMOS	370nm	90nm
M7- M9, M11, M13	DGNMOS	300nm	90nm
M10	DGPMOS	410nm	90nm
M12	DGPMOS	440nm	90nm
M14	DGPMOS	225nm	90nm
M15	DGNMOS	300nm	90nm
M16, M18, M22	DGPMOS	900nm	90nm
M24	DGPMOS	400nm	90nm
M26	DGPMOS	440nm	90nm
M28, M30	DGPMOS	250nm	90nm
M29, M31	DGNMOS	100nm	90nm

Şekil 3.149’da, önerilen FinFET DXDDCC devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımı -10nA ile 10nA arasında DC olarak taranmıştır. Şekilde de görüldüğü gibi Z_1 ’in çıkış akımı pozitif yönde maksimum 10.2nA, negatif yönde maksimum -9.7nA’dır. Z_2 ’nin çıkış akımı pozitif yönde maksimum 10.5nA, negatif yönde maksimum -11.2nA’dır.



Şekil 3.149: Önerilen FinFET DXDDCC devresinin DC akım izleme eğrileri

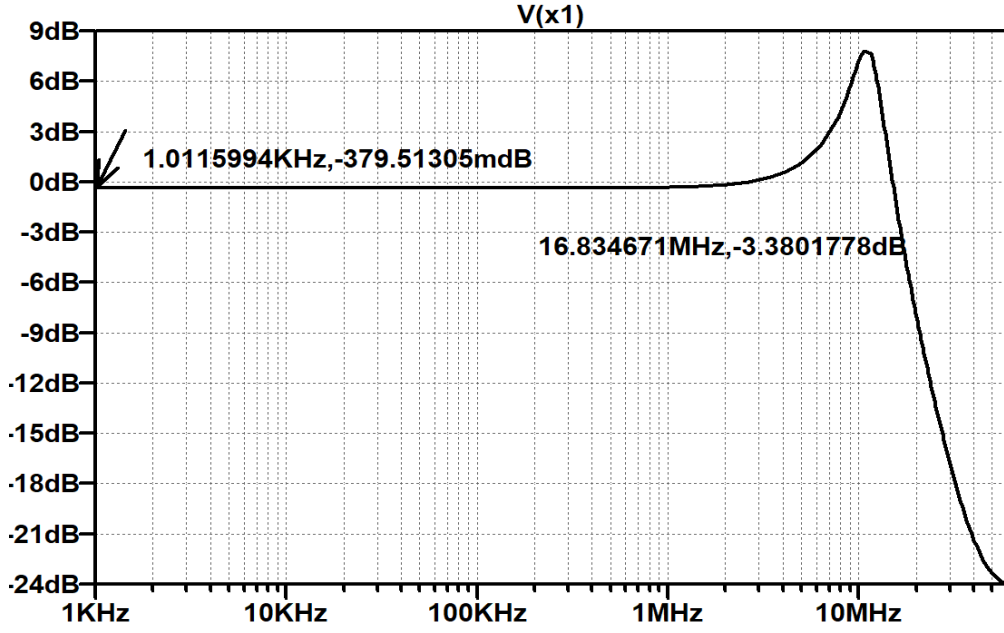
Şekil 3.150, önerilen FinFET DXDDCC devresinin DC akım izleme eğrileri görülmektedir. I_{X1} akımını -10nA ile 10nA arasında DC olarak taranmıştır. I_{X2} akım kaynağını step analizi ile -10nA ile 10nA arasında 5nA'lık artışlarla değiştirilmiştir.



Şekil 3.150: Önerilen FinFET DXDDCC devresinin DC akım izleme eğrileri (Step param I_{X2} -10n 10n 5n)

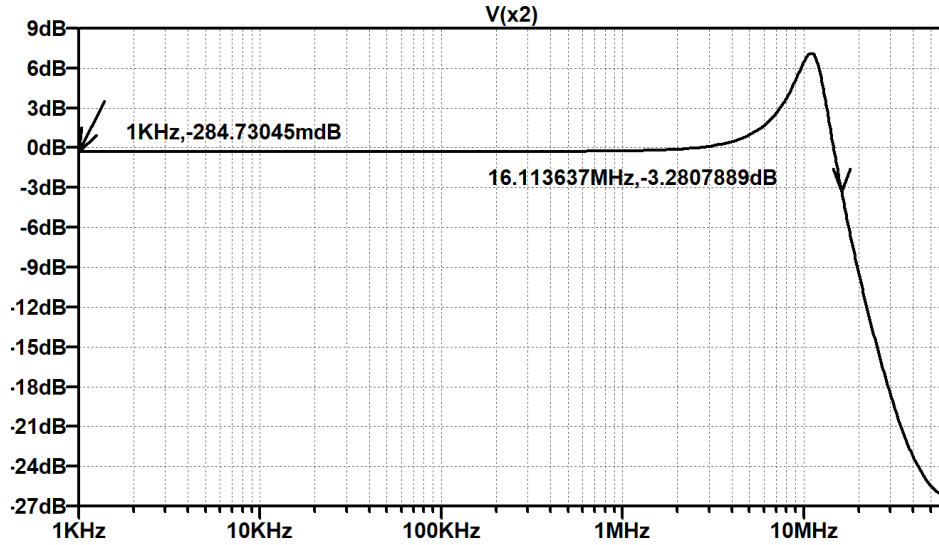
Şekil 3.151 – Şekil 3.156 önerilen FinFET DXDDCC devresinin gerilim izleme (V_{X1}/V_{Y1} , V_{X1}/V_{Y2} , V_{X1}/V_{Y3} , V_{X2}/V_{Y1} , V_{X2}/V_{Y2} , V_{X2}/V_{Y3}) eğrileri görülmektedir.

Şekil 3.151, Y_1 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen FinFET DXDDCC devresinin V_{X1}/V_{Y1} gerilim izleme eğrisi yaklaşık 16.83MHz'lik bant genişliğine sahiptir.



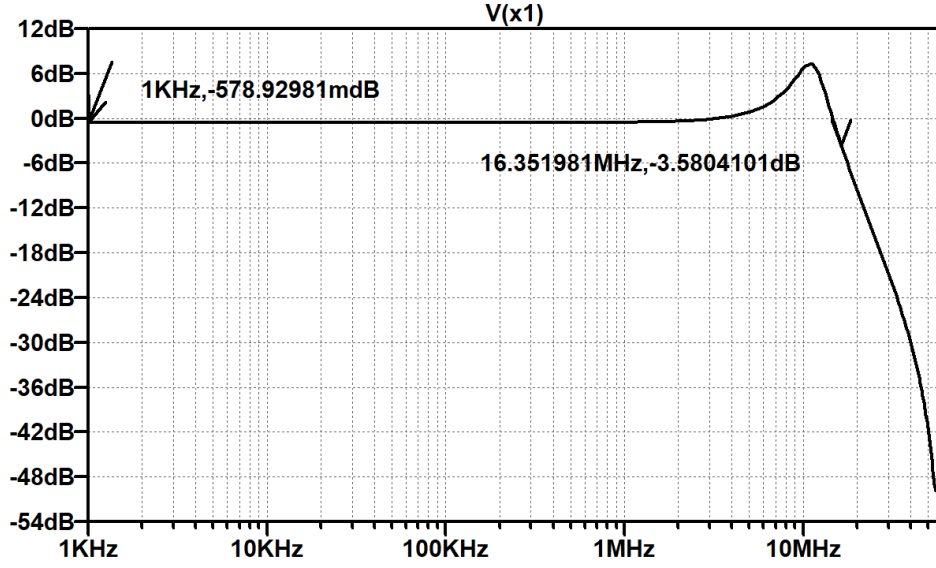
Şekil 3.151: Önerilen FinFET DXDDCC devresindeki V_{X1}/V_{Y1} 'in frekans yanıtı

Şekil 3.152 , Y_1 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. Önerilen FinFET DXDDCC devresinin V_{X2}/V_{Y1} gerilim izleme eğrisi yaklaşık 16.11MHz'lik bant genişliğine sahiptir.



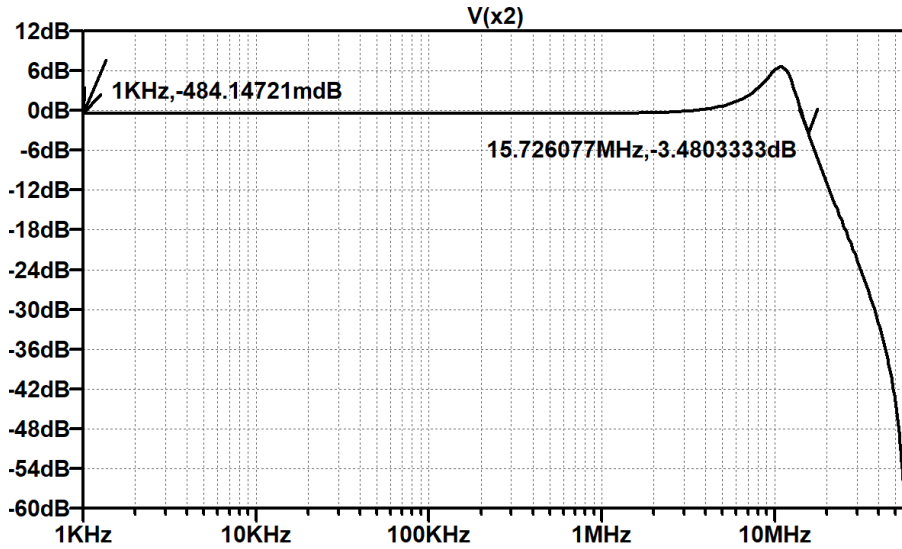
Şekil 3.152: Önerilen FinFET DXDDCC devresine ait V_{X2}/V_{Y1} 'in frekans yanıtı

Şekil 3.153 , Y_2 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen FinFET DXDDCC devresinin V_{X1}/V_{Y2} gerilim izleme eğrisi yaklaşık 16.35MHz'lik bant genişliğine sahiptir.



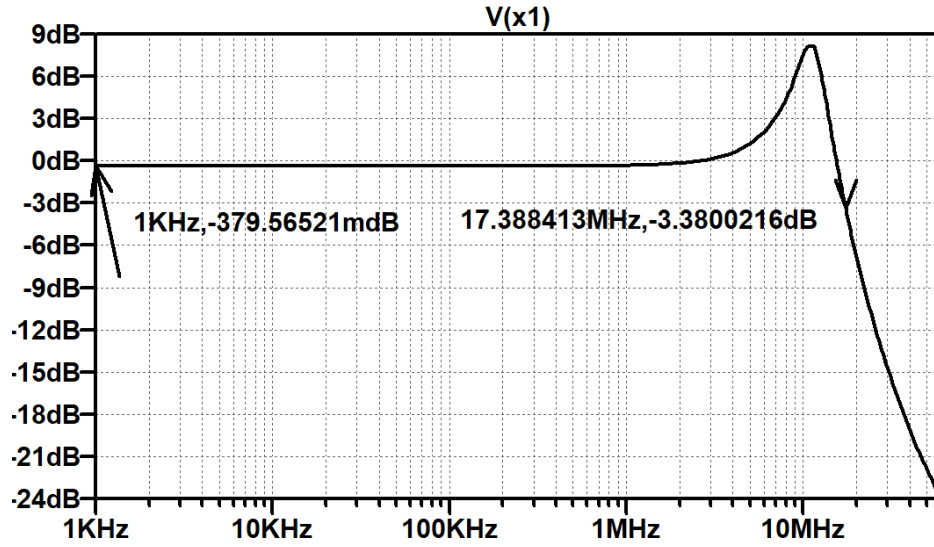
Şekil 3.153: Önerilen FinFET DXDDCC devresine ait V_{X1}/V_{Y2} 'nin frekans yanıtı

Şekil 3.154, Y_2 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. Önerilen FinFET DXDDCC devresinin V_{X2}/V_{Y2} gerilim izleme eğrisi yaklaşık 15.73MHz'lik bant genişliğine sahiptir.



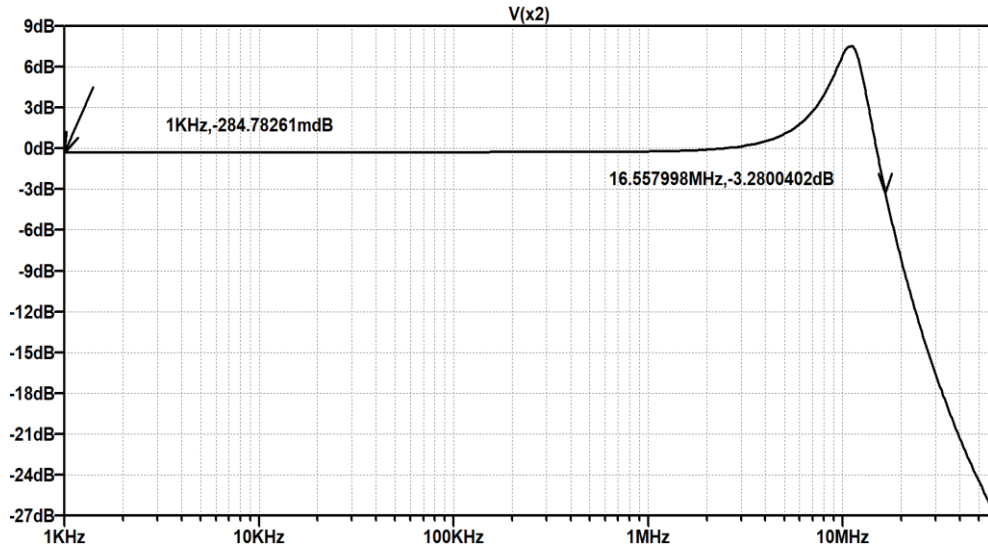
Şekil 3.154: Önerilen FinFET DXDDCC devresine ait V_{X2}/V_{Y2} 'nin frekans yanıtı

Şekil 3.155, Y_3 ve X_1 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. Önerilen FinFET DXDDCC devresinin V_{X1}/V_{Y3} gerilim izleme eğrisi yaklaşık 17.39MHz'lik bant genişliğine sahiptir.



Şekil 3.155: Önerilen FinFET DXDDCC devresine ait V_{X1}/V_{Y3} 'ün frekans yanıtı

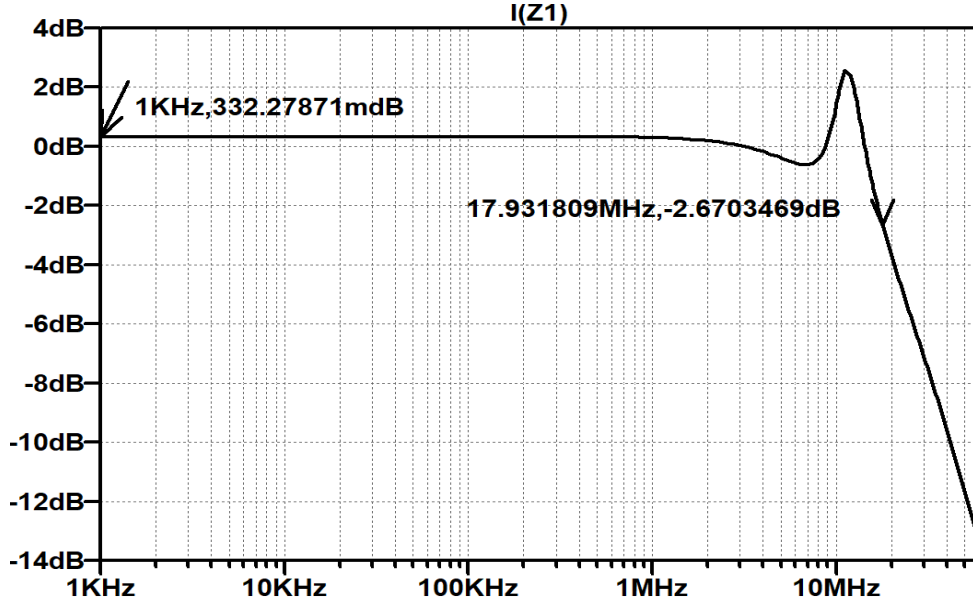
Şekil 3.156 , Y_3 ve X_2 uçları arasındaki açık devre voltaj yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. Önerilen FinFET DXDDCC devresinin V_{X2}/V_{Y3} gerilim izleme eğrisi yaklaşık 16.56MHz'lik bant genişliğine sahiptir.



Şekil 3.156: Önerilen FinFET DXDDCC devresine ait V_{X2}/V_{Y3} 'ün frekans yanıtı

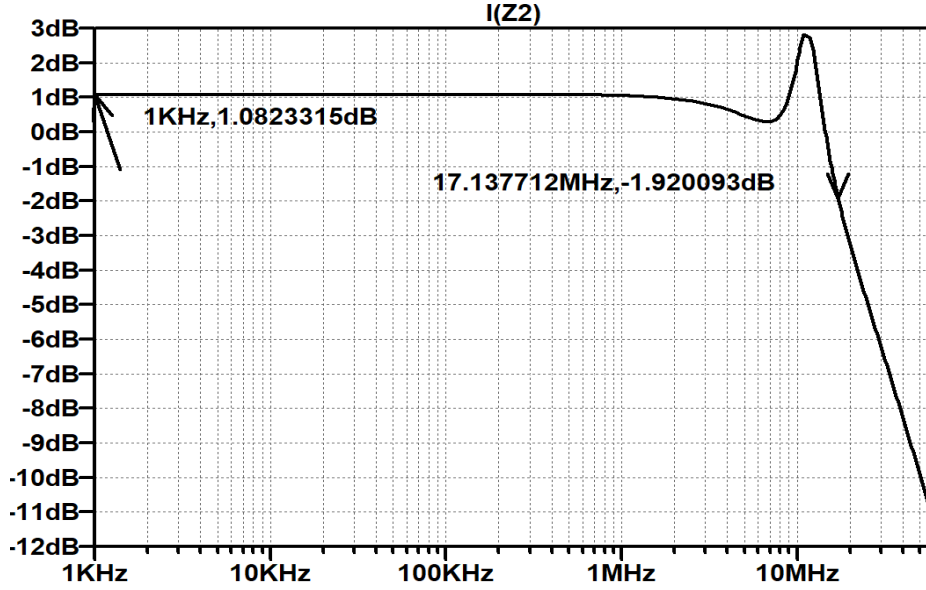
Şekil 3.157 - Şekil 3.160 önerilen FinFET DXDDCC devresinin AC akım izleme (I_{Z1}/I_{X1} , I_{Z2}/I_{X1} , I_{Z1}/I_{X2} , I_{Z2}/I_{X2}) eğrileri görülmektedir.

Şekil 3.157, X_1 ve Z_1 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X1} , 1A genliğinde AC sinyaldir. FinFET DXDDCC devresinin I_{Z1}/I_{X1} akım izleme eğrisi yaklaşık 17.93MHz'lik bant genişliğine sahiptir.



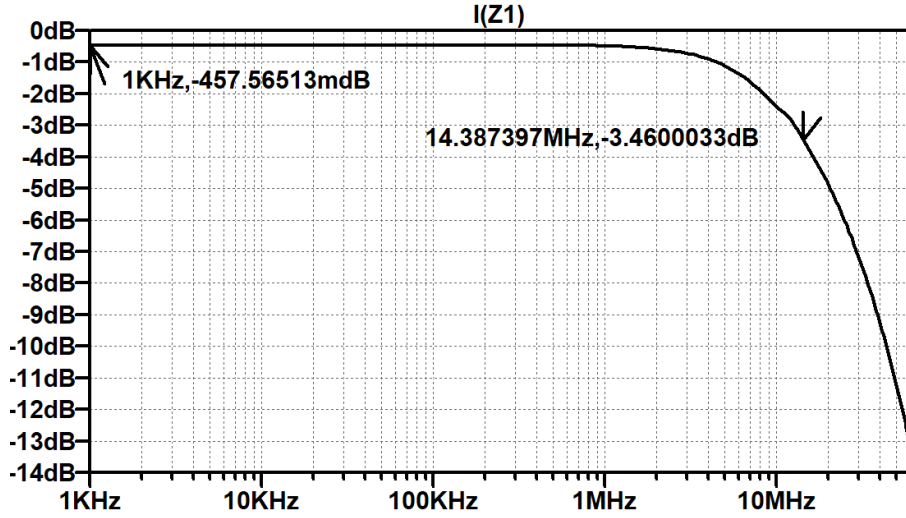
Şekil 3.157: Önerilen FinFET tabanlı DXDDCC devresine ait I_{Z1}/I_{X1} 'in frekans yanıtı

Şekil 3.158, X_1 ve Z_2 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X1} , 1 A genliğinde AC sinyaldir. Önerilen FinFET DXDDCC devresinin I_{Z2}/I_{X1} akım izleme eğrisi yaklaşık 17.14MHz'lik bant genişliğine sahiptir.



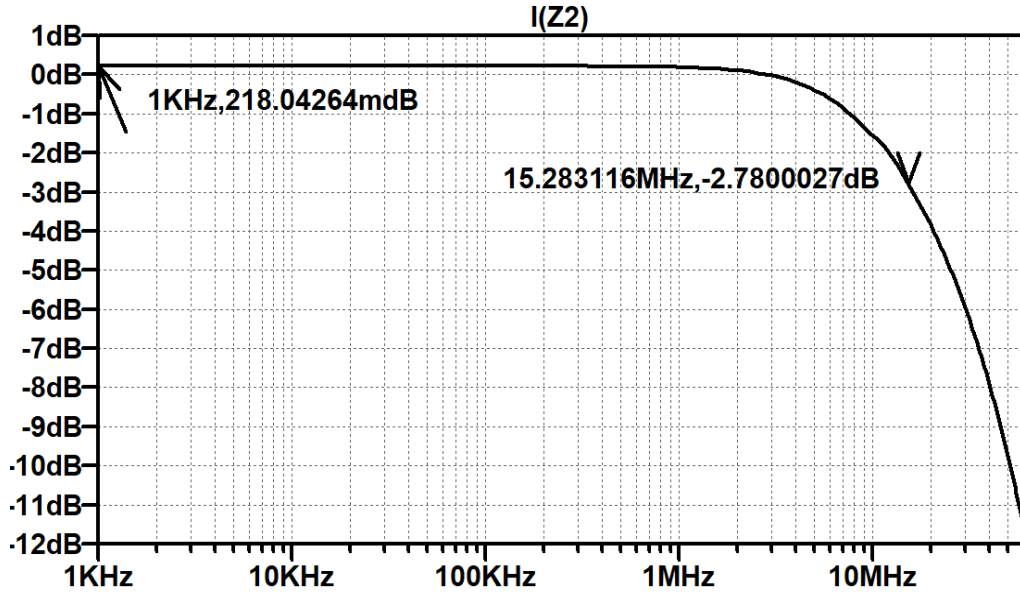
Şekil 3.158: Önerilen FinFET DXDDCC devresine ait I_{Z2}/I_{X1} 'in frekans yanıtı

Şekil 3.159, X_2 ve Z_1 uçları arasındaki kısa devre akım yanıtını göstermektedir. I_{X2} , 1 A büyüklüğünde AC sinyaldir. Önerilen FinFET DXDDCC devresinin I_{Z1}/I_{X2} akım izleme eğrisi yaklaşık 14.39MHz'lik bant genişliğine sahiptir.



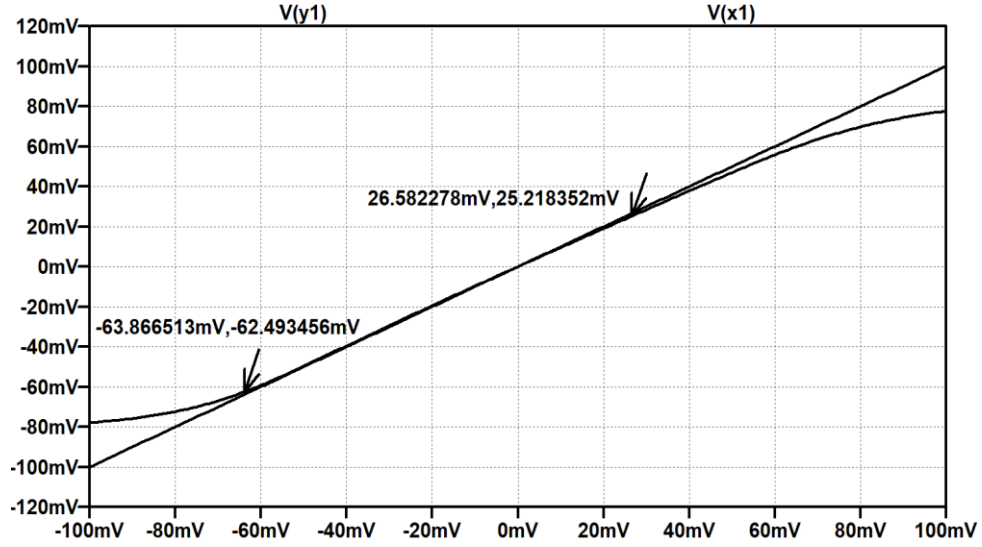
Şekil 3.159: Önerilen FinFET DXDDCC devresine ait I_{Z1}/I_{X2} 'nin frekans yanıtı

Şekil 3.160, X_2 ve Z_2 uçları arasındaki kısa devre akımı tepkisini göstermektedir. I_{X2} , 1A genliğinde AC sinyaldir. Önerilen FinFET DXDDCC devresinin I_{Z2}/I_{X2} akım izleme eğrisi yaklaşık 15.28MHz'lik bant genişliğine sahiptir.



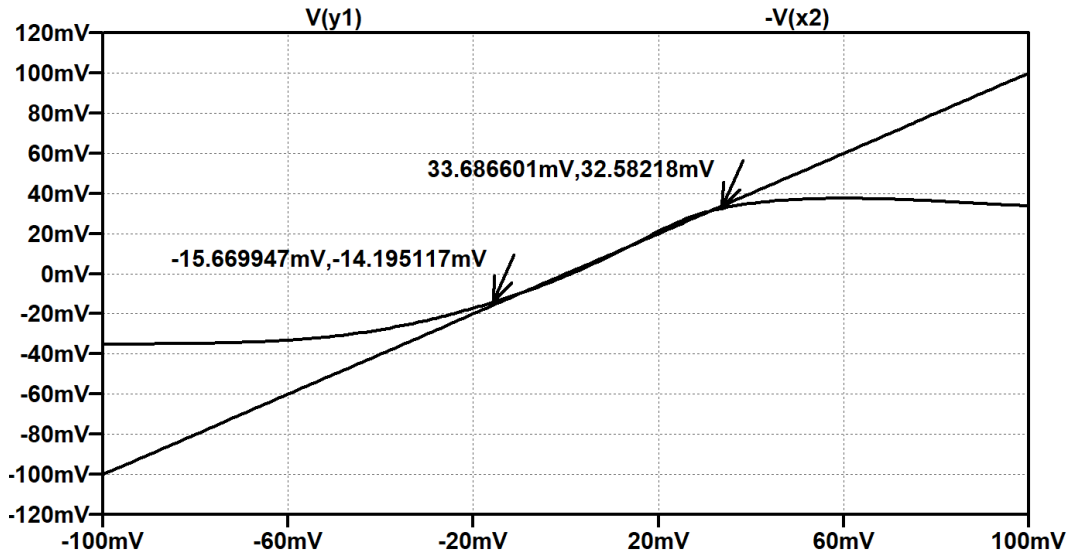
Şekil 3.160: Önerilen FinFET DXDDCC devresine ait I_{Z2}/I_{X2} 'nin frekans yanıtı

Şekil 3.161, önerilen FinFET DXDDCC devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi -0.1V ile 0.1V arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{X1} gerilimi, -63.87mV ile 26.58mV aralığında V_{Y1} gerilimini izlemektedir.



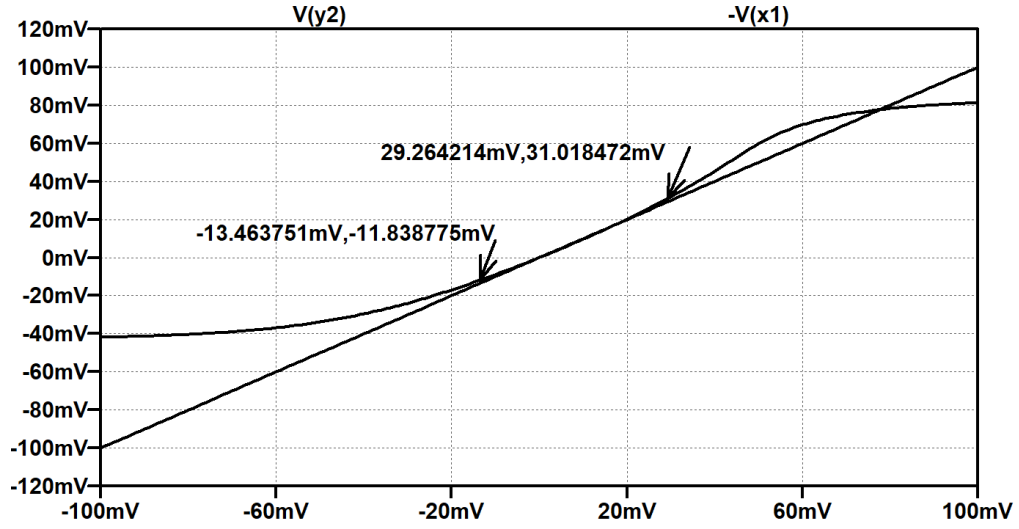
Şekil 3.161: Önerilen FinFET DXDDCC devresinin V_{X1} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.162, önerilen FinFET DXDDCC devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiğini göstermektedir. V_{Y1} 'in DC gerilimi $-0.1V$ ile $0.1V$ arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. $-V_{X2}$ gerilimi, $-15.67mV$ ile $33.69mV$ aralığında V_{Y1} gerilimini izlemektedir.



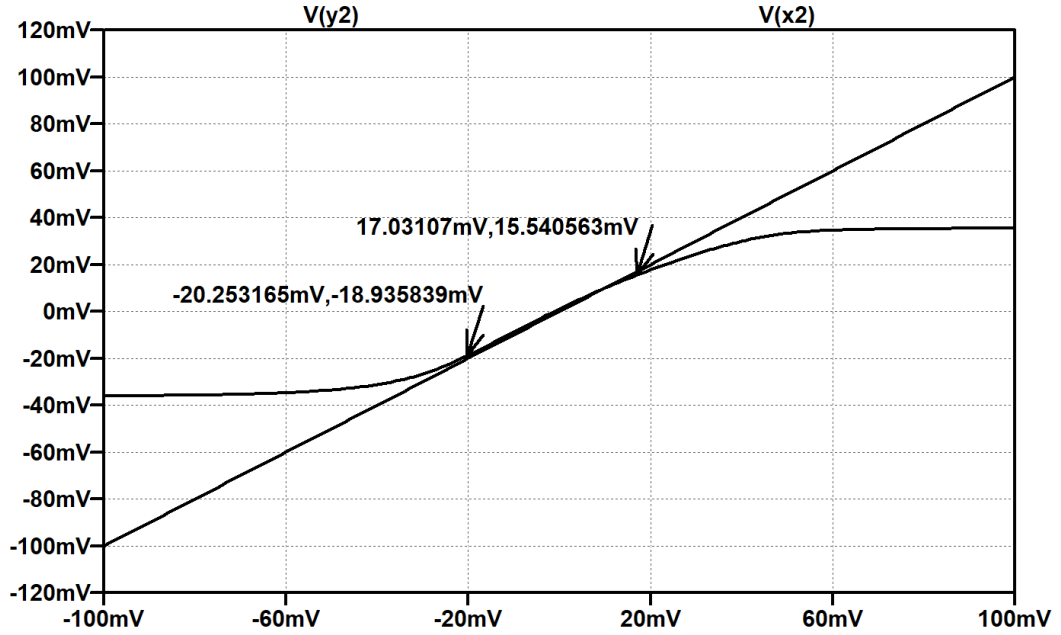
Şekil 3.162: Önerilen FinFET DXDDCC devresinin V_{X2} - V_{Y1} DC gerilim transfer karakteristiği

Şekil 3.163, önerilen FinFET DXDDCC devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi $-0.1V$ ile $0.1V$ arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. $-V_{X1}$ gerilimi, $-13.46mV$ ile $29.26mV$ aralığında V_{Y2} gerilimini izlemektedir.



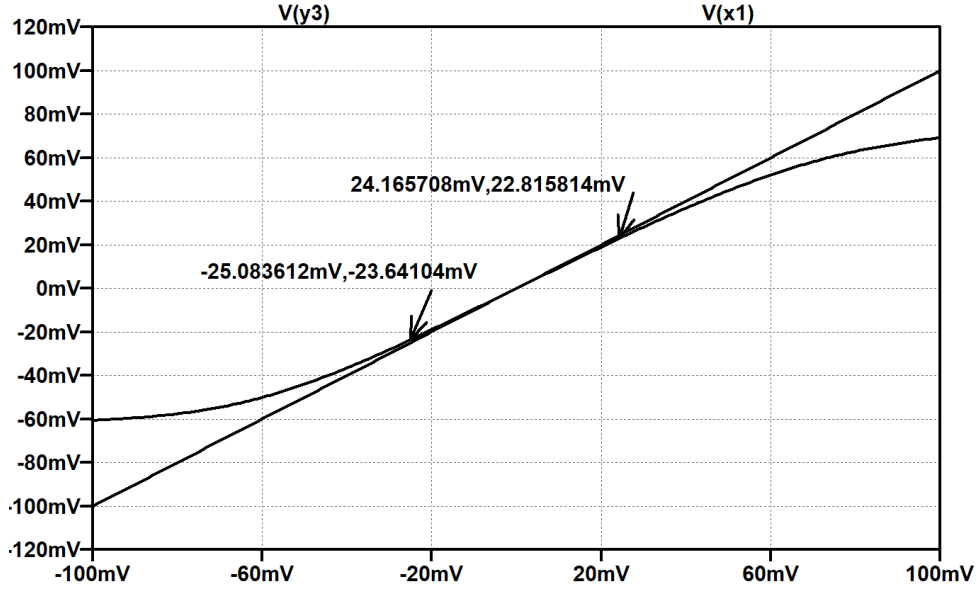
Şekil 3.163: Önerilen FinFET DXDDCC devresinin V_{X1} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.164, önerilen FinFET DXDDCC devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiğini göstermektedir. V_{Y2} 'nin DC gerilimi $-0.1V$ ile $0.1V$ arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. V_{X2} gerilimi, $-20.25mV$ ile $17.03mV$ aralığında V_{Y2} gerilimini izlemektedir.



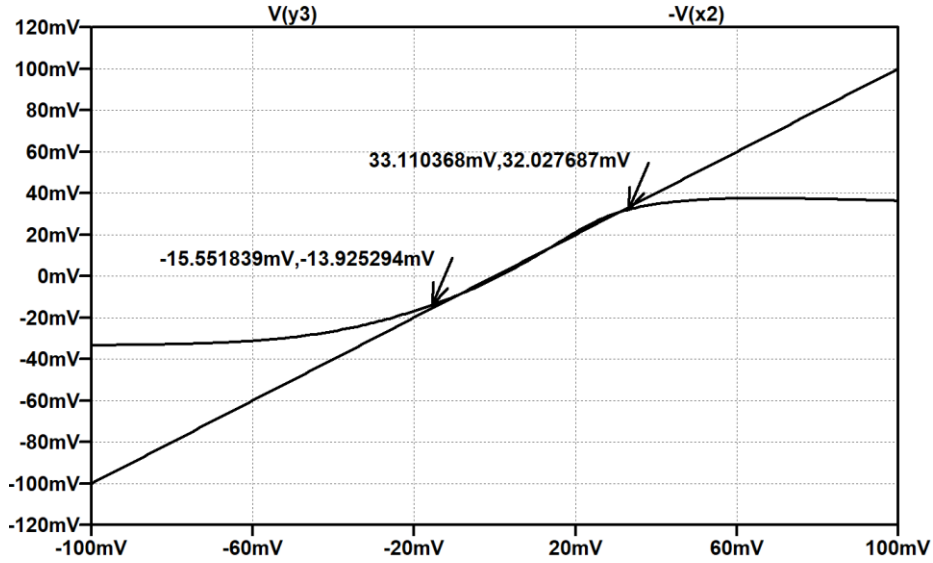
Şekil 3.164: Önerilen FinFET DXDDCC devresinin V_{X2} - V_{Y2} DC gerilim transfer karakteristiği

Şekil 3.165, önerilen FinFET DXDDCC devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiğini göstermektedir. V_{Y3} 'ün DC gerilimi $-0.1V$ ile $0.1V$ arasında değişirken X_1 ucundaki gerilim değişimi gösterilmiştir. V_{X1} gerilimi, $-25.08mV$ ile $24.17mV$ aralığında V_{Y3} gerilimini izlemektedir.



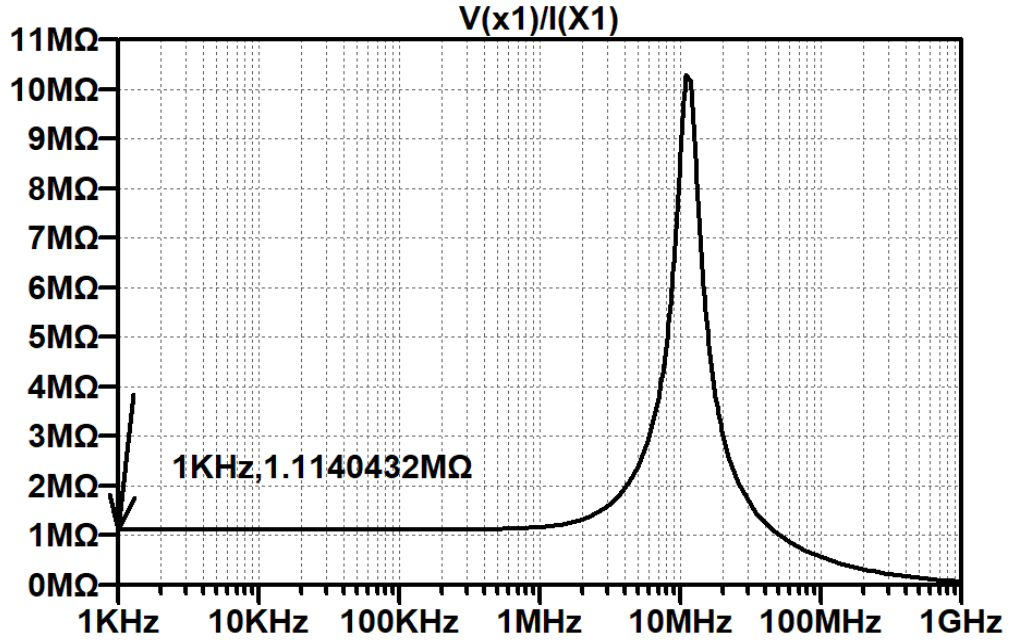
Şekil 3.165: Önerilen FinFET DXDDCC devresinin V_{X1} - V_{Y3} DC gerilim transfer karakteristiği

Şekil 3.166, önerilen FinFET DXDDCC devresinin V_{X2} - V_{Y3} DC gerilim transfer karakteristiğini göstermektedir. V_{Y3} 'ün DC gerilimi $-0.1V$ ile $0.1V$ arasında değişirken X_2 ucundaki gerilim değişimi gösterilmiştir. $-V_{X2}$ gerilimi, $-15.55mV$ ile $33.11mV$ aralığında V_{Y3} gerilimini izlemektedir.



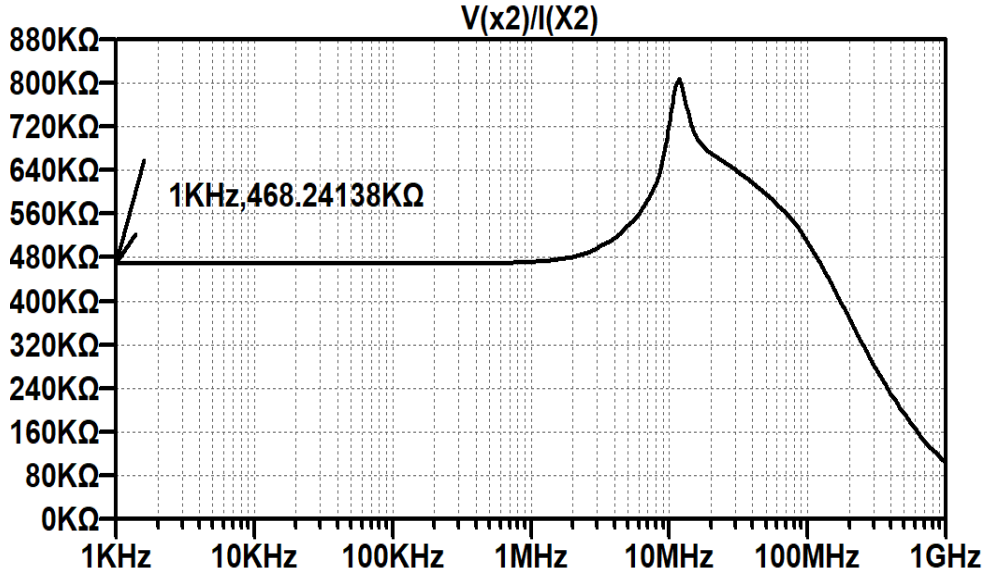
Şekil 3.166: Önerilen FinFET DXDDCC devresinin V_{X2} - V_{Y3} DC gerilim transfer karakteristiği

Şekil 3.167, önerilen FinFET DXDDCC devresinin X_1 empedansının frekans yanıtını göstermektedir. V_{X1} , $1V$ genliğinde AC sinyaldir. X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET DXDDCC devresinin X_1 düğümündeki parazitik empedans değerinin $1.11M\Omega$ olduğu görülmüştür.



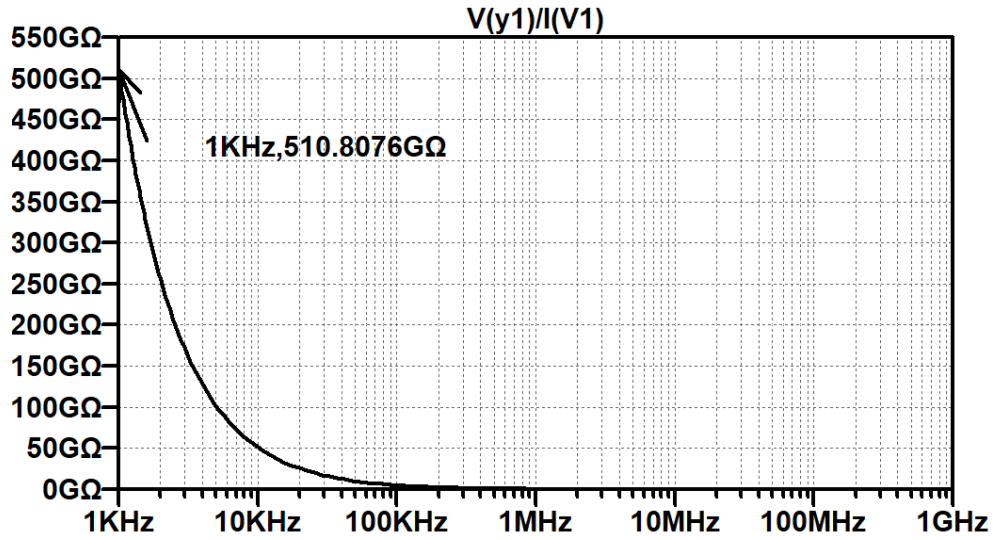
Şekil 3.167: Önerilen FinFET DXDDCC devresinin X_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.168, önerilen FinFET DXDDCC devresinin X_2 çıkış empedansının frekans yanıtını göstermektedir. V_{X2} , 1V genliğinde AC sinyaldir. X_1 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET DXDDCC devresinin X_2 düğümündeki parazitik empedans değerinin 468.24kΩ olduğu görülmüştür.



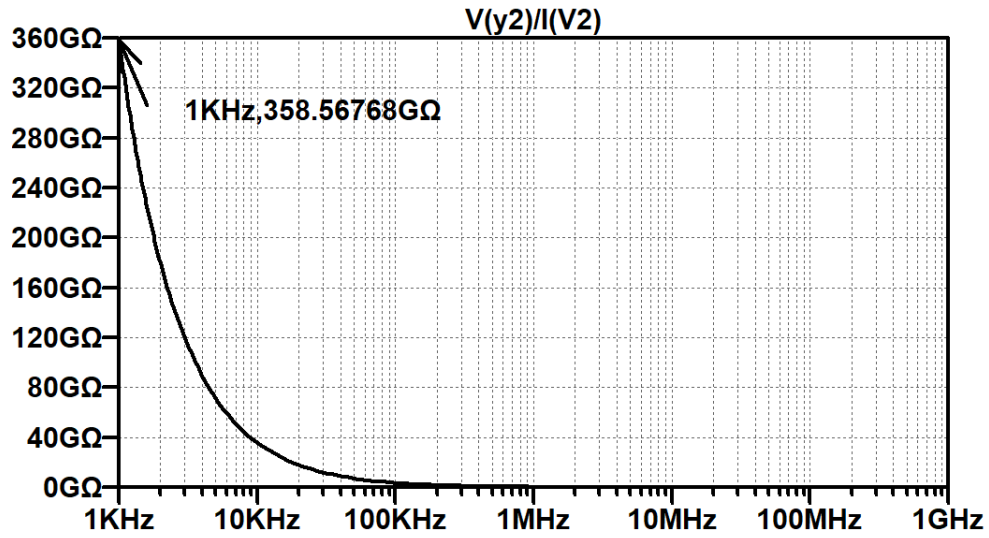
Şekil 3.168: Önerilen FinFET DXDDCC devresinin X_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.169, önerilen FinFET DXDDCC devresinin Y_1 empedansının frekans yanıtını göstermektedir. V_{Y1} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_2 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı DXDDCC devresinin Y_1 düğümündeki parazitik empedans değerinin 510.81GΩ olduğu görülmüştür.



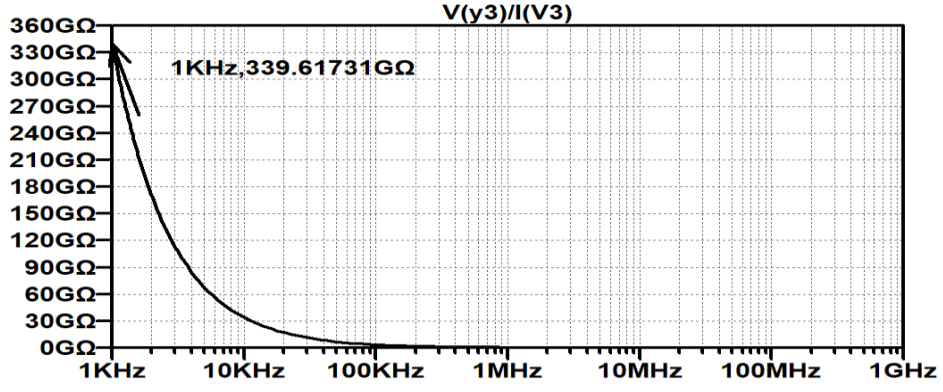
Şekil 3.169: Önerilen FinFET DXDDCC devresinin Y_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.170, önerilen FinFET DXDDCC devresinin Y_2 empedansının frekans yanıtını göstermektedir. V_{Y2} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_3 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı DXDDCC devresinin Y_2 düğümündeki parazitik empedans değerinin 358.57GΩ olduğu görülmüştür.



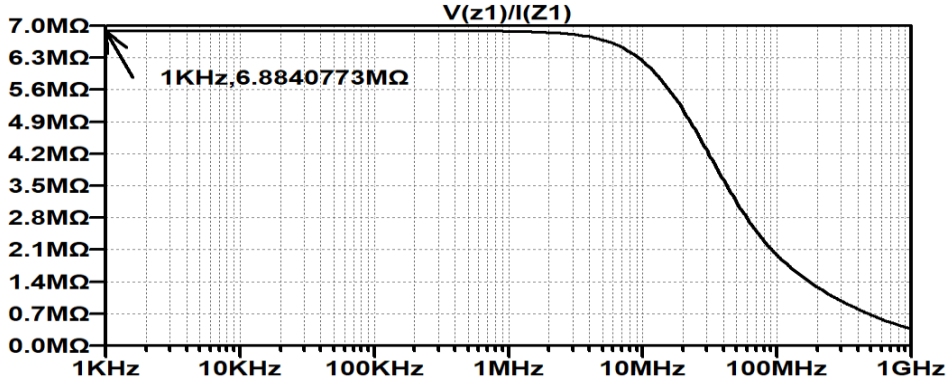
Şekil 3.170: Önerilen FinFET DXDDCC devresinin Y_2 düğümünde görülen parazitik empedans eğrisi

Şekil 3.171, önerilen FinFET DXDDCC devresinin Y_3 empedansının frekans yanıtını göstermektedir. V_{Y3} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Z_1 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı DXDDCC devresinin Y_3 düğümündeki parazitik empedans değerinin 339.62GΩ olduğu görülmüştür.



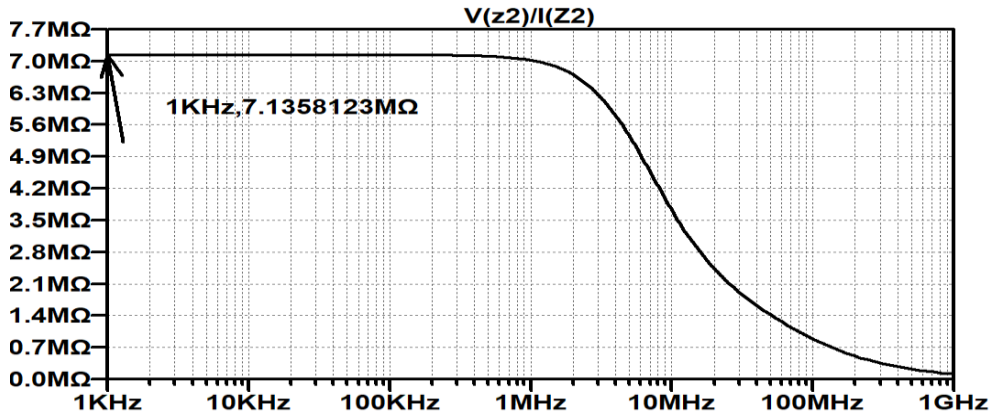
Şekil 3.171: Önerilen FinFET DXDDCC devresinin Y_3 düğümünde görülen parazitik empedans eğrisi

Şekil 3.172, önerilen FinFET tabanlı DXDDCC devresinin Z_1 çıkış empedansının frekans yanıtını göstermektedir. V_{z1} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı DXDDCC devresinin Z_1 düğümündeki parazitik empedans değerinin 6.88MΩ olduğu görülmüştür.



Şekil 3.172: Önerilen FinFET DXDDCC devresinin Z_1 düğümünde görülen parazitik empedans eğrisi

Şekil 3.173, önerilen FinFET tabanlı DXDDCC devresinin Z_2 çıkış empedanslarının frekans yanıtını göstermektedir. V_{z2} , 1V genliğinde AC sinyaldir. X_1 ve X_2 ucu açık devre bırakılmıştır. Y_1 , Y_2 , Y_3 ve Z_2 uçları toprağa kısa devre edilmiştir. Önerilen FinFET tabanlı DXDDCC devresinin Z_2 düğümündeki parazitik empedans değerinin 7.14MΩ olduğu görülmüştür.



Şekil 3.173: Önerilen FinFET DXDDCC devresinin Z_2 düğümünde görülen parazitik empedans eğrisi

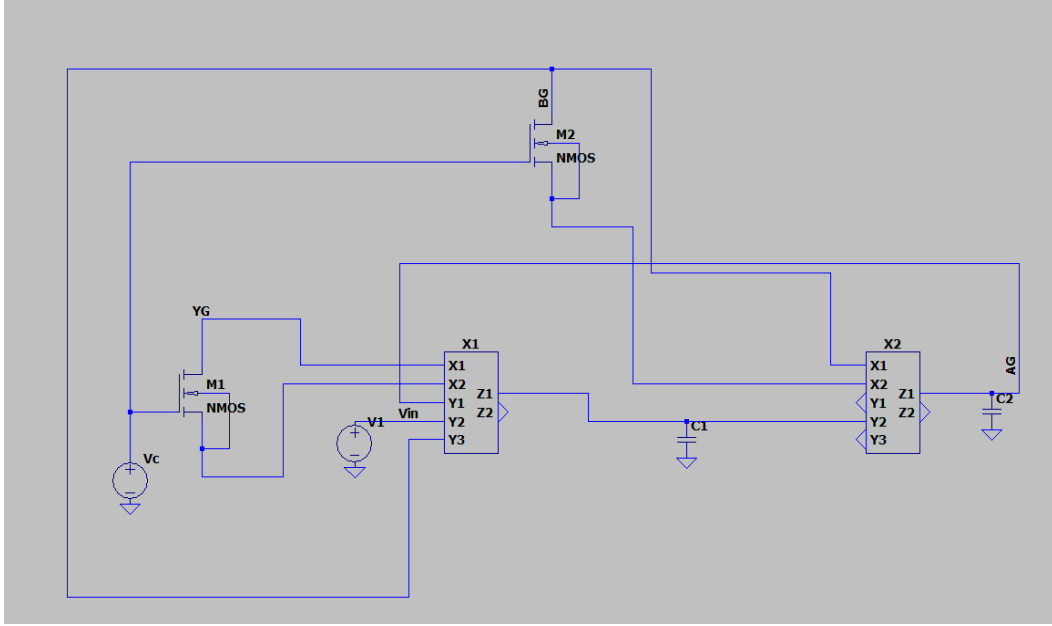
Tablo 3.8: Önerilen MOS DXDDCC, DTMOS DXDDCC ve FinFET DXDDCC Devrelerinin Karşılaştırılması

	MOS DXDDCC	DTMOS DXDDCC	FinFET DXDDCC
Besleme gerilimi	0.3V	0.25V	0.1V
Kutuplama akımı	10nA	10nA	10nA
Giriş işareti lineer aralığı (V_{X1}/V_{Y1} , V_{X2}/V_{Y1} , V_{X1}/V_{Y2} , V_{X2}/V_{Y2} , V_{X1}/V_{Y3} , V_{X2}/V_{Y4})	(-258.23mV, 244.42mV -18.38mV, 79.75mV -71.2mV, 65.94mV -54.89mV, 22.05mV -129.46mV, 244.4mV -18.85mV, 81.13mV)	(-145.60mV, 209.44mV -25.10mV, 76.46mV -34.82mV, 32.49mV -40.56mV, 23.93mV -138.09mV, 208.57mV -22.36mV, 77.59mV)	(-63.87mV, 26.58mV -15.67mV, 33.69mV -13.46mV, 29.26mV -20.25mV, 17.03mV -25.08mV, 24.17mV -15.55mV, 33.11mV)
X1 X2 Y1 Y2 Y3 Z1 Z2 parazitik empedans	196.95k Ω 818.20k Ω 1.26T Ω 855.09G Ω 813.71G Ω 103.26M Ω 101.44M Ω	179.19k Ω 303.78k Ω 1.13T Ω 807.53G Ω 782.14G Ω 101.73M Ω 100.06M Ω	1.11M Ω 468.24k Ω 510.81G Ω 358.57G Ω 339.62G Ω 6.88M Ω 7.14M Ω
f_{-3dB} band genişliği (V_{X1}/V_{Y1} , V_{X2}/V_{Y1} , V_{X1}/V_{Y2} , V_{X2}/V_{Y2} , V_{X1}/V_{Y3} , V_{X2}/V_{Y4})	(22.63Mhz, 20.63Mhz, 22.59Mhz, 20.63Mhz, 22.59Mhz, 20.63MHz)	(18.49Mhz, 15.27Mhz, 18.19Mhz, 15.20Mhz, 18.99Mhz, 15.48MHz)	(16.83Mhz, 16.11Mhz, 16.35Mhz, 15.73Mhz, 17.39Mhz, 16.56MHz)
f_{-3dB} band genişliği (I_{Z1}/I_{X1} , I_{Z2}/I_{X1} , I_{Z1}/I_{X2} , I_{Z2}/I_{X2})	(16.96Mhz, 17.56Mhz, 3.78Mhz, 3.79Mhz)	(15.09Mhz, 15.63Mhz, 3.6Mhz, 3.66Mhz)	(17.93Mhz, 17.14Mhz, 14.39Mhz, 15.28Mhz)
Güç Tüketimi	40.44nW	28.71nW	26.03nW

3.8 DXDDCC'li KHN Süzgeci Devreleri

KHN (Kerwin-Huelsman-Newcomb) süzgeci düşük hassasiyet, düşük yayılma, iyi stabilite davranışı gibi özellikleriyle öne çıkan süzgeç türüdür. (Kerwin et al., 1967)

Şekil 3.174'te yer alan KHN süzgeci, iki adet DXDDCC, iki adet kapasitör ve iki adet MOSFET'ten oluşmaktadır.



Şekil 3.174: DXDDCC'li KHN Süzgeci Devresi

KHN süzgeci devresinin alçak geçiren, band geçiren ve yüksek geçiren transfer fonksiyonları sırasıyla verilmiştir.

$$\frac{V_{AG}}{V_{in}} = \frac{2C_2 \left(\frac{I_D}{nV_T} \right)}{C_1 C_2 s^2 + 2 \left(\frac{I_D}{nV_T} \right) C_2 s + 4 \left(\frac{I_D}{nV_T} \right)^2} \quad (3.4)$$

$$\frac{V_{BG}}{V_{in}} = \frac{2C_2 \left(\frac{I_D}{nV_T} \right) s}{C_1 C_2 s^2 + 2 \left(\frac{I_D}{nV_T} \right) C_2 s + 4 \left(\frac{I_D}{nV_T} \right)^2} \quad (3.5)$$

$$\frac{V_{YG}}{V_{in}} = \frac{C_1 C_2 s^2}{C_1 C_2 s^2 + 2 \left(\frac{I_D}{nV_T} \right) C_2 s + 4 \left(\frac{I_D}{nV_T} \right)^2} \quad (3.6)$$

Kutup açısal frekansı (3.7)'de verilmiştir.

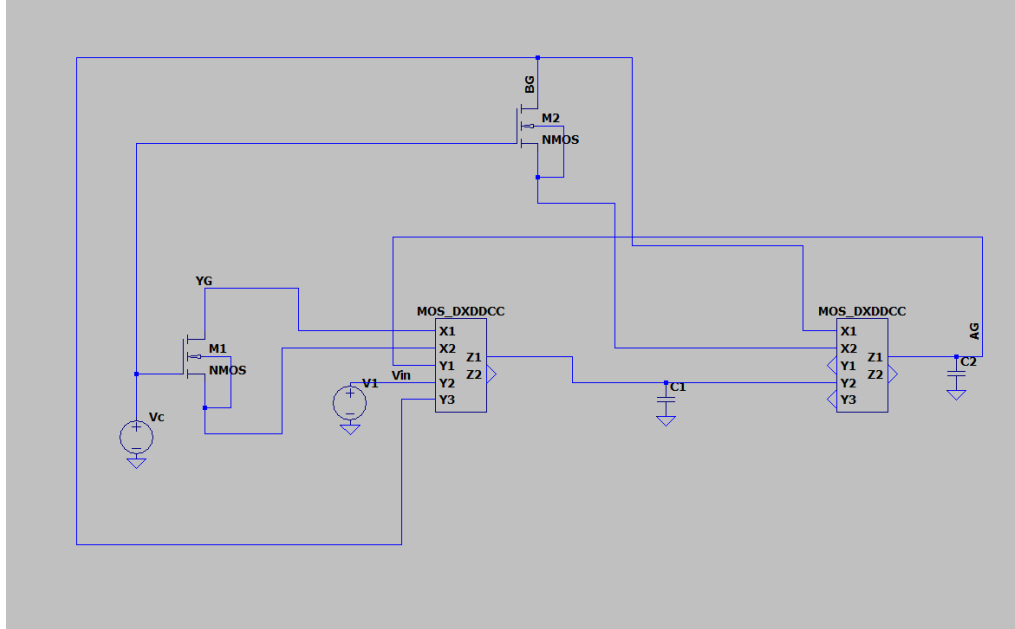
$$\omega_o = \frac{2I_D}{nV_T \sqrt{C_1 C_2}} \quad (3.7)$$

Kalite faktörü ise (3.8)'de verilmiştir.

$$Q = \sqrt{\frac{C_1}{C_2}} \quad (3.8)$$

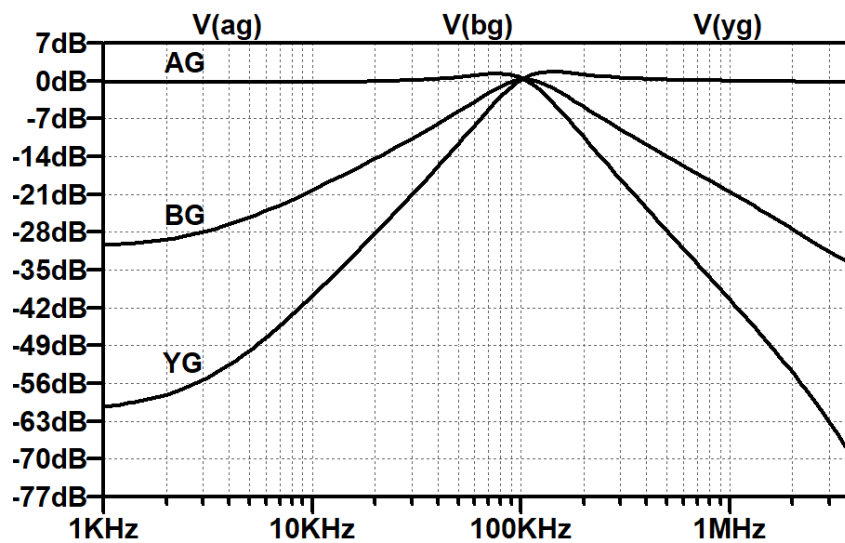
3.8.1 MOS DXDDCC'li KHN Süzgeci Devresi

Şekil 3.183 'de önerilen MOS DXDDCC'li KHN süzgeci devresi 2 adet MOS DXDDCC, iki adet kapasitör ve iki adet NMOS transistöründen oluşmuştur.



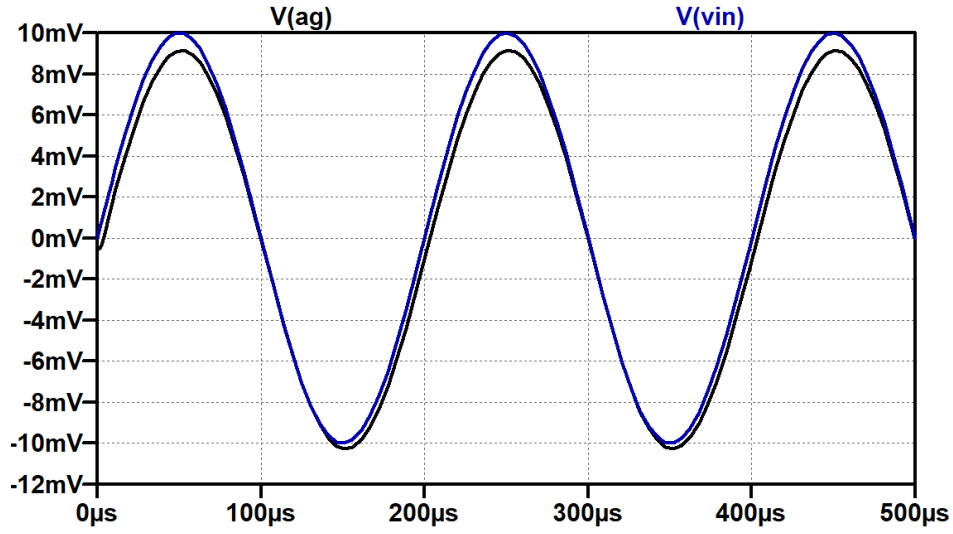
Şekil 3.175: Önerilen MOS DXDDCC'li KHN Süzgeci Devresi

Şekil 3.176'da önerilen MOS DXDDCC'li KHN süzgecinin alçak geçiren, bant geçiren ve yüksek geçiren karakteristiği görülmektedir. MOS DXDDCC'li KHN süzgeci devresinin alçak geçiren, bant geçiren ve yüksek geçiren karakteristiklerini görmek için NMOS transistörlerinin girişine (V_c) 0.2V gerilimi uygulanmıştır. C_1 ve C_2 kapasitörlerin değerleri 0.5pF seçilmiştir. M1 ve M2 transistörleri kanal uzunluğu 90nm, kanal genişliği 90nm olacak şekilde boyutlandırılmıştır.



Şekil 3.176: Önerilen MOS DXDDCC'li KHN Süzgecinin AG, BG, YG karakteristikleri

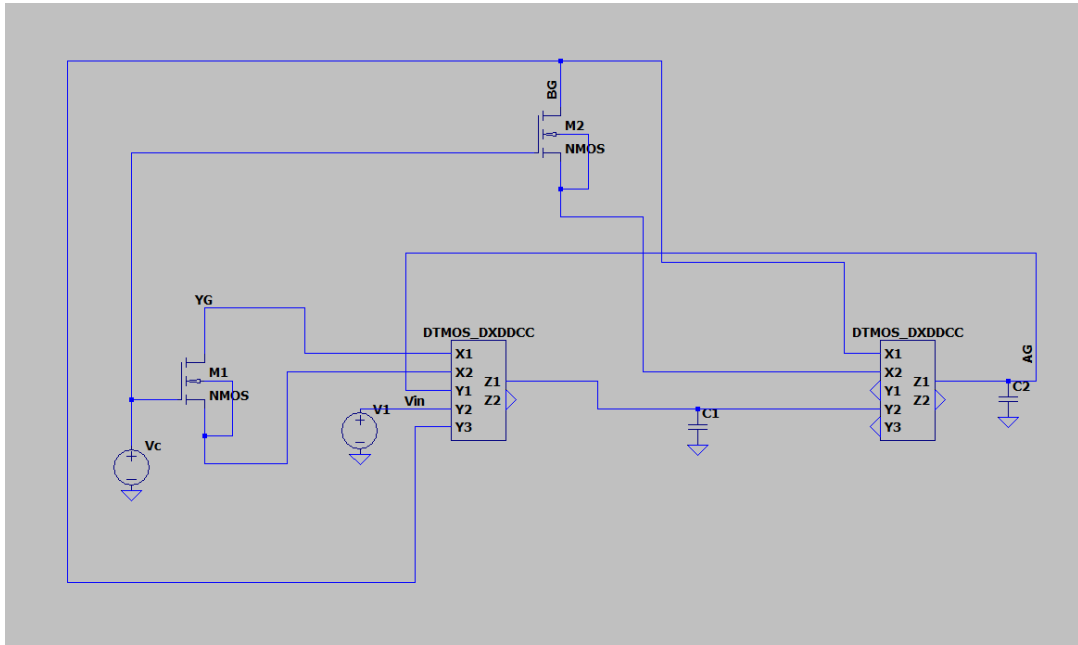
Şekil 3.177’de önerilen MOS DXDDCC’li KHN süzgecinin transient yanıtı görülmektedir. MOS DXDDCC’li KHN süzgeci devresinin girişine (V_{in}) sinüzoidal işaret uygulanmıştır. Sinüzoidal işaretin genliği 10mV, frekansı ise 5kHz’dir.



Şekil 3.177: Önerilen MOS DXDDCC’li KHN süzgecinin transient yanıtı

3.8.2 DTMOS DXDDCC’li KHN Süzgeci Devresi

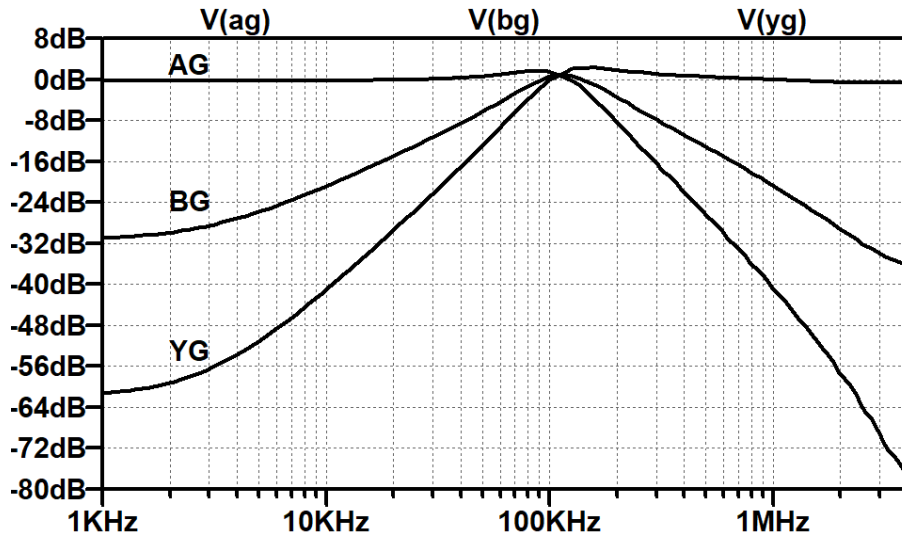
Şekil 3.178’da Önerilen DTMOS DXDDCC’li KHN süzgeci devresi 2 adet DTMOS DXDDCC, iki adet kapasitör ve iki adet NMOS transistöründen oluşmuştur.



Şekil 3.178: Önerilen DTMOS DXDDCC’li KHN Süzgeci Devresi

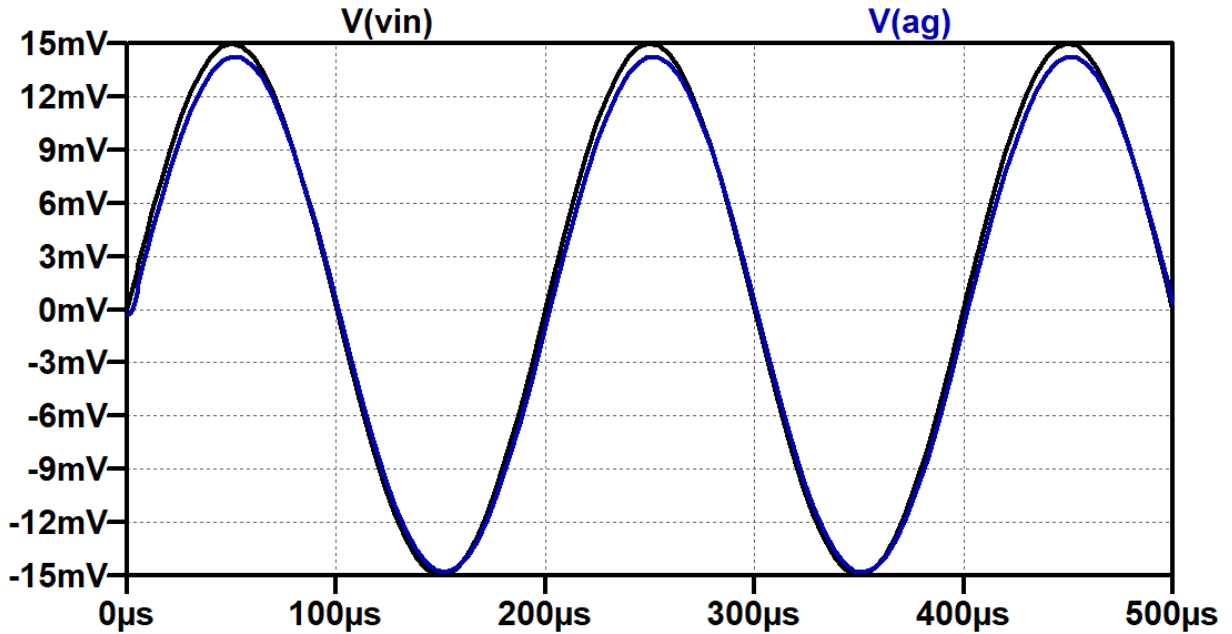
Şekil 3.179’da önerilen DTMOS DXDDCC’li KHN süzgecinin alçak geçiren, bant geçiren ve yüksek geçiren karakteristiği görülmektedir. DTMOS DXDDCC’li KHN süzgeci devresinin alçak geçiren, bant geçiren ve yüksek geçiren karakteristiklerini görmek için NMOS transistörlerinin girişine (V_c) 0.2V gerilimi uygulanmıştır. C_1 ve C_2 kapasitörlerin değerleri

0.5pF seçilmiştir. M1 ve M2 transistörleri kanal uzunluğu 90nm, kanal genişliği 90nm olacak şekilde boyutlandırılmıştır.



Şekil 3.179: Önerilen DTMOS DXDDCC'li KHN Süzgecinin AG, BG, YG karakteristikleri

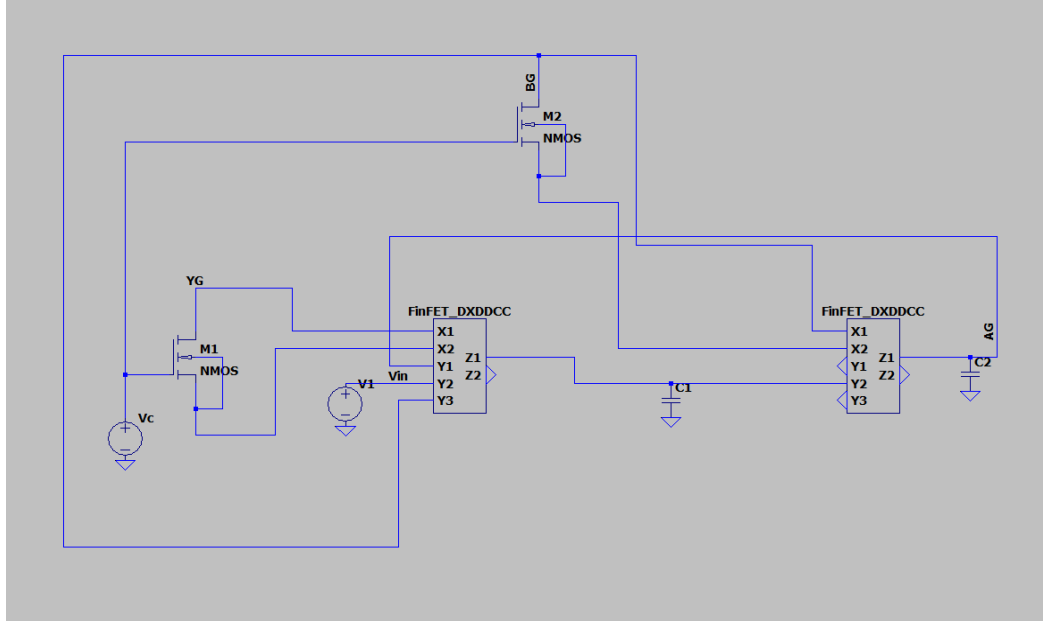
Şekil 3.180'de önerilen DTMOS DXDDCC'li KHN süzgecinin transient yanıtı görülmektedir. DTMOS DXDDCC'li KHN süzgeci devresinin girişine (V_{in}) sinüzoidal işaret uygulanmıştır. Sinüzoidal işaretin genliği 15mV, frekansı ise 5kHz'dir.



Şekil 3.180: Önerilen DTMOS DXDDCC'li KHN süzgecinin transient yanıtı

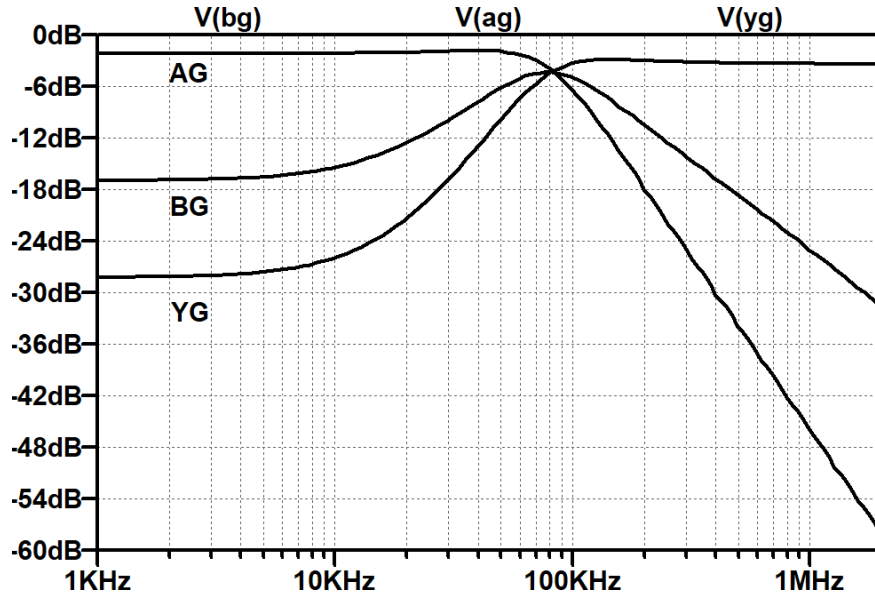
3.8.3 FinFET DXDDCC'li KHN Süzgeci Devresi

Şekil 3.181 'da FinFET DXDDCC'li KHN süzgeci devresi 2 adet FinFET DXDDCC, iki adet kapasitör ve iki adet NMOS transistöründen oluşmuştur.



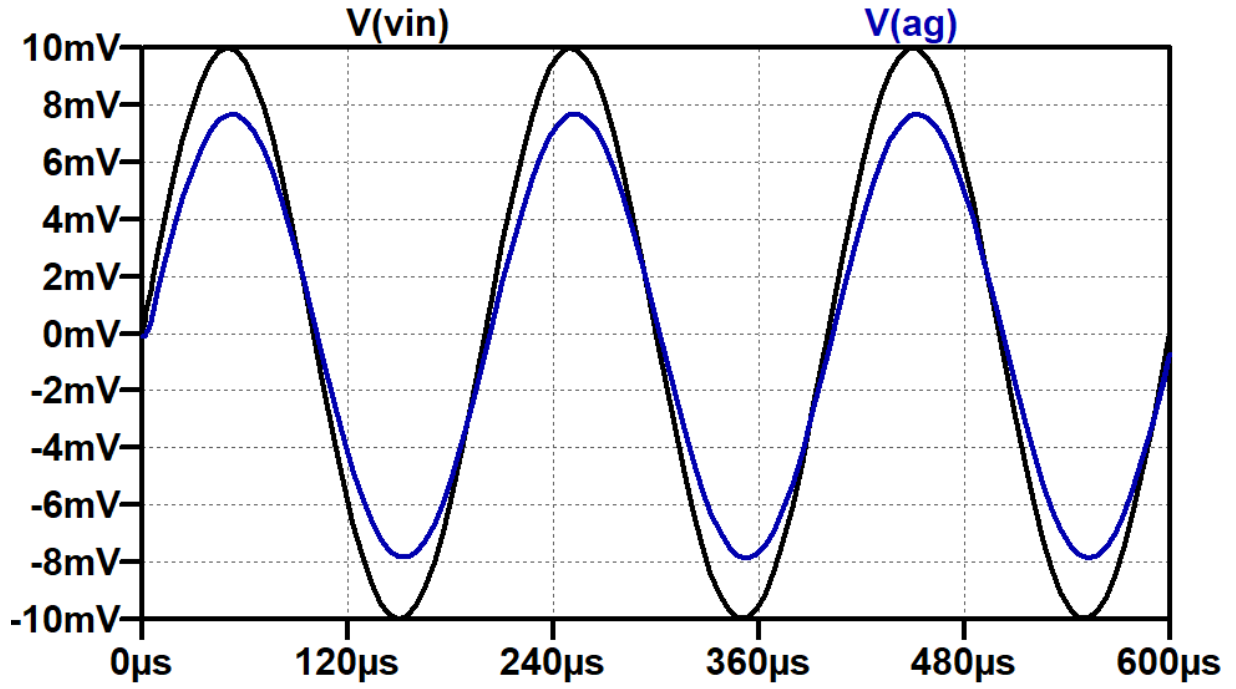
Şekil 3.181: Önerilen FinFET DXDDCC’li KHN Süzgeci Devresi

Şekil 3.182’de önerilen FinFET DXDDCC’li KHN süzgecinin alçak geçiren, bant geçiren ve yüksek geçiren karakteristiği görülmektedir. FinFET DXDDCC’li KHN süzgeci devresinin alçak geçiren, bant geçiren ve yüksek geçiren karakteristiklerini görmek için NMOS transistörlerinin girişine (V_C) 0.08V gerilimi uygulanmıştır. C_1 kapasitörünün değeri 1pF ve C_2 kapasitörünün değeri 1.5pF seçilmiştir. M1 ve M2 transistörleri kanal uzunluğu 45nm, kanal genişliği 90nm olacak şekilde boyutlandırılmıştır



Şekil 3.182: Önerilen FinFET DXDDCC’li KHN Süzgecinin AG, BG, YG karakteristikleri

Şekil 3.183 'te önerilen FinFET DXDDCC'li KHN süzgecinin transient yanıtı görülmektedir. FinFET DXDDCC'li KHN süzgeci devresinin girişine (V_{in}) sinüzoidal işaret uygulanmıştır. Sinüzoidal işaretin genliği 10mV, frekansı ise 5kHz'dir.



Şekil 3.183: FinFET DXDDCC'li KHN süzgecinin transient yanıtı

4. SONUÇ

Bu tez çalışmasında 45nm PTM teknoloji parametresi kullanılarak düşük gerilimli ve düşük güçlü FDCCII ve DXDDCC devreleri önerilmiştir. MOSFET'in nano ölçekte boyutlandırılmasıyla genel performansı bozan kısa kanal etkileri ortaya çıkar. Kısa kanal etkilerinin üstesinden gelmek için çok kapılı alan etkili transistör çeşitlerinden biri olan FinFET ve yüksek sürüş kapasitesi, küçük eşik altı salınım ve geliştirilmiş kısa kanal etkisi gibi birçok özelliğiyle öne çıkan DTMOS transistörü kullanılarak önerilen FDCCII ve DXDDCC devreleri tasarlanmıştır.

FDCCII devre yapısı $V_{X1} = V_{Y1} - V_{Y2} + V_{Y3}$, $V_{X2} = -V_{Y1} + V_{Y2} - V_{Y3}$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ bağıntılarını sağlayacak şekilde oluşturulmuştur. DXDDCC devre yapısı ise $V_{X1} = V_{Y1} - V_{Y2} + V_{Y3}$, $V_{X2} = -V_{Y1} + V_{Y2} - V_{Y3}$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ bağıntılarını sağlayacak şekilde oluşturulmuştur. DTMOS FDCCII, MOS FDCCII ve FinFET FDCCII, DTMOS DXDDCC, MOS DXDDCC ve FinFET DXDDCC devrelerinin düşük güç tüketmesi amacına ulaşılmıştır.

Tümüyle diferansiyel akım taşıyıcının uygulaması olarak dört bölgeli analog çarpıcı devrelerine, çift X-uçlu diferansiyel fark akım taşıyıcının uygulaması olarak ise KHN süzgeci devrelerine yer verilmiştir.

KAYNAKLAR

- Rezaei, R., Ahmadpour, A., & Moghaddasi, M. N. (2013). A 0.4 V bulk-driven amplifier for low-power data converter applications. *Circuits and Systems*, 4(01), 106.
- Smith, K. C., & Sedra, A. (1968). The current conveyor—A new circuit building block. *Proceedings of the IEEE*, 56(8), 1368-1369.
- Sedra, A., & Smith, K. (1970). A second-generation current conveyor and its applications. *IEEE Transactions on circuit theory*, 17(1), 132-134.
- Smith, K., & Sedra, A. (1970). Realization of the Chua family of new nonlinear network elements using the current conveyor. *IEEE Transactions on Circuit Theory*, 17(1), 137-139.
- Soliman, A. (1973). Inductorless realization of an all-pass transfer function using the current conveyor. *IEEE Transactions on Circuit Theory*, 20(1), 80-81.
- Sharif-Bakhtiar, M., & Aronhime, P. (1978). A current conveyor realization using operational amplifiers. *International Journal of Electronics Theoretical and Experimental*, 45(3), 283-288.
- Senani, R. (1980). Novel circuit implementation of current conveyors using an OA and an OTA. *Electronics Letters*, 16(1), 2-3.
- Filanovsky, I. M., & Stromsmoe, K. A. (1981). Current-voltage conveyor. *Electronics Letters*, 17(3), 129-130.
- Patranabis, D., & Ghosh, D. (1984). Integrators and differentiators with current conveyors. *IEEE Transactions on Circuits and Systems*, 31(6), 567-569.
- Toumazou, C., Payne, A., & Lidgley, F. J. (1991). Operational floating conveyor. *Electronics Letters*, 27(8), 651-652.
- Fabre, A. (1995). Third-generation current conveyor: a new helpful active element. *Electronics Letters*, 31(5), 338-339.
- Chiu, W., Liu, S. I., Tsao, H. W., & Chen, J. J. (1996). CMOS differential difference current conveyors and their applications. *IEE Proceedings-Circuits, Devices and Systems*, 143(2), 91-96.
- Elwan, H. O., & Soliman, A. M. (1997). Novel CMOS differential voltage current conveyor and its applications. *IEE Proceedings-Circuits, Devices and Systems*, 144(3), 195-200.
- Soliman, A. M. (1998). Generalized voltage and current conveyors: practical realizations using CCII. *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, 81(5), 973-975.
- Acar, C., & Ozoguz, S. (1999). A new versatile building block: current differencing buffered amplifier suitable for analog signal-processing filters. *Microelectronics journal*, 30(2), 157-160.

El-Adawy, A. A., Soliman, A. M., & Elwan, H. O. (2000). A novel fully differential current conveyor and applications for analog VLSI. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 47(4), 306-313.

Becvar, D., Vrba, K., Zeman, V., & Musil, V. (2000, May). Novel universal active block: a universal current conveyor. In *2000 IEEE International Symposium on Circuits and Systems (ISCAS)* (Vol. 3, pp. 471-474). IEEE.

Zeki, A., & Toker, A. (2003). The dual-X current conveyor (DXCCII): a new active device for tunable continuous-time filters. *International journal of Electronics*, 89(12), 913-923.

Çiftçioğlu, S., Kuntman, H., & Zeki, A. (2005, December). New high performance CMOS differential current conveyor realization. In *Proceedings of ELECO 2005: The 4th International Conference on Electrical and Electronics, (Electronics)* (pp. 68-71).

Ferri, G., Stomelli, V., & Giuli, L. (2006, June). A Low Voltage Low Power DCCII and MRC-based 2nd Order Multiple-Output Filter. In *2006 Ph. D. Research in Microelectronics and Electronics* (pp. 17-20). IEEE.

Kacar, F., Metin, B., & Kuntman, H. (2010). A new CMOS dual-X second generation current conveyor (DXCCII) with an FDNR circuit application. *AEU-International Journal of Electronics and Communications*, 64(8), 774-778.

Chunhua, W., Yang, L., Qiujiang, Z., & Yu, F. (2010). Systematic design of fully balanced differential current-mode multiple-loop feedback filters using CFBCCII. *Radioengineering*, 19(1), 185.

Metin, B., Herencsar, N., & Vrba, K. (2012). A CMOS DCCII with a grounded capacitor based cascadable all-pass filter application. *Radioengineering*, 21(2), 718-724.

Metin, B., Herencsar, N., & Koton, J. (2013, April). DCCII based inductance simulator circuit with minimum number of element. In *2013 23rd International Conference Radioelektronika (RADIOELEKTRONIKA)* (pp. 89-91). IEEE.

Kumngern, M., & Khateb, F. (2014, June). Differential second-generation current conveyor for ultra-low voltage applications. In *The 18th IEEE International Symposium on Consumer Electronics (ISCE 2014)* (pp. 1-2). IEEE.

E. Arslan, K. Pal, N. Herencsar, and B. Metin, "Design of Novel CMOS DCCII with Reduced Parasitics and its All-Pass Filter Applications," *Elektronika ir Elektrotechnika*, (2016), 22(6), 46–50.

Keleş, S., & Keleş, F. (2020). Ultra low power wide range four quadrant analog multiplier. *Analog Integrated Circuits and Signal Processing*, 102, 491-500.

KELEŞ, S., & KELEŞ, F. (2024). Low Voltage-Low Power Wide Range FGMOS Fully Differential Difference Current Conveyor And Application Examples. *International Journal of Electronics*, 111(3), 499-514.

- Rajput, S. S., & Jamuar, S. S. (2002). Low voltage analog circuit design techniques. *IEEE Circuits and Systems Magazine*, 2(1), 24-42.
- Rezaei, R., Ahmadpour, A., & Moghaddasi, M. N. (2013). A 0.4 V bulk-driven amplifier for low-power data converter applications. *Circuits and Systems*, 4(01), 106.
- Suchitta, A., Srivastava, R., Dewaker, A., & Gupta, M. (2016). Design of low-voltage, low-power FGMOS based voltage buffer, analog inverter and winner-take-all analog signal processing circuits. *Circuits and Systems*, 7(1), 1-10.
- Krishna, M., & Nagar, B. C. (2024). DTMOS based four-quadrant multiplier/divider with voltage difference transconductance amplifier. *Analog Integrated Circuits and Signal Processing*, 118(2), 371-386.
- Smith, K. C., & Sedra, A. (1968). The current conveyor—A new circuit building block. *Proceedings of the IEEE*, 56(8), 1368-1369.
- Sedra, A., & Smith, K. (1970). A second-generation current conveyor and its applications. *IEEE Transactions on circuit theory*, 17(1), 132-134.
- Smith, K., & Sedra, A. (1970). Realization of the Chua family of new nonlinear network elements using the current conveyor. *IEEE Transactions on Circuit Theory*, 17(1), 137-139.
- Soliman, A. (1973). Inductorless realization of an all-pass transfer function using the current conveyor. *IEEE Transactions on Circuit Theory*, 20(1), 80-81.
- Sharif-Bakhtiar, M., & Aronhime, P. (1978). A current conveyor realization using operational amplifiers. *International Journal of Electronics Theoretical and Experimental*, 45(3), 283-288.
- Senani, R. (1980). Novel circuit implementation of current conveyors using an OA and an OTA. *Electronics Letters*, 16(1), 2-3.
- Filanovsky, I. M., & Stromsmoe, K. A. (1981). Current-voltage conveyor. *Electronics Letters*, 17(3), 129-130.
- Patranabis, D., & Ghosh, D. (1984). Integrators and differentiators with current conveyors. *IEEE Transactions on Circuits and Systems*, 31(6), 567-569.
- Toumazou, C., Payne, A., & Lidgey, F. J. (1991). Operational floating conveyor. *Electronics Letters*, 27(8), 651-652.
- Fabre, A. (1995). Third-generation current conveyor: a new helpful active element. *Electronics Letters*, 31(5), 338-339.
- Chiu, W., Liu, S. I., Tsao, H. W., & Chen, J. J. (1996). CMOS differential difference current conveyors and their applications. *IEE Proceedings-Circuits, Devices and Systems*, 143(2), 91-96.
- Elwan, H. O., & Soliman, A. M. (1997). Novel CMOS differential voltage current conveyor and its applications. *IEE Proceedings-Circuits, Devices and Systems*, 144(3), 195-200.

- Soliman, A. M. (1998). Generalized voltage and current conveyors: practical realizations using CCII. *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, 81(5), 973-975.
- Acar, C., & Ozoguz, S. (1999). A new versatile building block: current differencing buffered amplifier suitable for analog signal-processing filters. *Microelectronics journal*, 30(2), 157-160.
- El-Adawy, A. A., Soliman, A. M., & Elwan, H. O. (2000). A novel fully differential current conveyor and applications for analog VLSI. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 47(4), 306-313.
- Becvar, D., Vrba, K., Zeman, V., & Musil, V. (2000, May). Novel universal active block: a universal current conveyor. In *2000 IEEE International Symposium on Circuits and Systems (ISCAS)* (Vol. 3, pp. 471-474). IEEE.
- Gupta, S. S., & Senani, R. (2001). Comment: CMOS differential difference current conveyors and their applications. *IEE Proceedings-Circuits, Devices and Systems*, 148(6), 335.
- Zeki, A., & Toker, A. (2003). The dual-X current conveyor (DXCCII): a new active device for tunable continuous-time filters. *International journal of Electronics*, 89(12), 913-923.
- Alzaher HA, Elwan H, Ismail M (2003) A CMOS fully balanced second-generation current conveyors. *IEEE Trans Circ Syst-II* 50:278–287
- Çiftçioğlu, S., Kuntman, H., & Zeki, A. (2005, December). New high performance CMOS differential current conveyor realization. In *Proceedings of ELECO 2005: The 4th International Conference on Electrical and Electronics,(Electronics)* (pp. 68-71).
- Ferri, G., Stomelli, V., & Giuli, L. (2006, June). A Low Voltage Low Power DCCII and MRC-based 2 nd Order Multiple-Output Filter. In *2006 Ph. D. Research in Microelectronics and Electronics* (pp. 17-20). IEEE.
- Kacar, F., Metin, B., & Kuntman, H. (2010). A new CMOS dual-X second generation current conveyor (DXCCII) with an FDNR circuit application. *AEU-International Journal of Electronics and Communications*, 64(8), 774-778.
- Chunhua, W., Yang, L., Qiuji, Z., & Yu, F. (2010). Systematic design of fully balanced differential current-mode multiple-loop feedback filters using CFBCCII. *Radioengineering*, 19(1), 185.
- Metin, B., Herencsar, N., & Vrba, K. (2012). A CMOS DCCII with a grounded capacitor based cascable all-pass filter application. *Radioengineering*, 21(2), 718-724.
- Metin, B., Herencsar, N., & Koton, J. (2013, April). DCCII based inductance simulator circuit with minimum number of element. In *2013 23rd International Conference Radioelektronika (RADIOELEKTRONIKA)* (pp. 89-91). IEEE.

Metin, B., Herencsar, N., Koton, J., & Horng, J. W. (2014). DCCII-based novel lossless grounded inductance simulators with no element matching constrains. *Radioengineering*, 23(1), 532-539.

Kumngern, M., & Khateb, F. (2014, June). Differential second-generation current conveyor for ultra-low voltage applications. In *The 18th IEEE International Symposium on Consumer Electronics (ISCE 2014)* (pp. 1-2). IEEE.

E. Arslan, K. Pal, N. Herencsar, and B. Metin, "Design of Novel CMOS DCCII with Reduced Parasitics and its All-Pass Filter Applications," *Elektronika ir Elektrotechnika*, (2016), 22(6), 46–50.

Keleş, S., & Keleş, F. (2020). Ultra low power wide range four quadrant analog multiplier. *Analog Integrated Circuits and Signal Processing*, 102, 491-500.

KELEŞ, S., & KELEŞ, F. (2024). Low Voltage-Low Power Wide Range FGMOS Fully Differential Difference Current Conveyor And Application Examples. *International Journal of Electronics*, 111(3), 499-514.

Assaderaghi, F., Sinitsky, D., Parke, S., Bokor, J., Ko, P. K., & Hu, C. (1994, December). A dynamic threshold voltage MOSFET (DTMOS) for ultra-low voltage operation. In *Proceedings of 1994 IEEE International Electron Devices Meeting* (pp. 809-812). IEEE.

Voldman, S. H. (2015). *ESD: circuits and devices*. John Wiley & Sons.

Sivaram, P., Anand, B., & Desai, M. P. (2002). Silicon film thickness considerations in SOI-DTMOS. *IEEE Electron Device Letters*, 23(5), 276-278.

Mahmoud, R., Madathumpadical, N., & Al-Nashash, H. (2019). TCAD simulation and analysis of selective buried oxide MOSFET dynamic power. *Journal of Low Power Electronics and Applications*, 9(4), 29.

Junior, N. G., da Silva, J. C., Martins, E., & De Andrade, M. G. C. (2022). UTBB FD-SOI MOSFET with SELBOX in DTMOS Configuration. *Journal of Integrated Circuits and Systems*, 17(3), 1-5.

Assaderaghi, F. (2000, October). DTMOS: Its derivatives and variations, and their potential applications. In *ICM 2000. Proceedings of the 12th International Conference on Microelectronics*.(IEEE Cat. No. 00EX453) (pp. 9-10). IEEE.

Colinge, J. P., Twin, C., & Galup-Montoro, C. (1991). References 1COLINGE. JP: Silicon-on Insulator Technology: Materials to VL-SI [J]. *Electronics Letters*, 30(17), 1458-1459.

Taur, Y., & Ning, T. H. (2021). *Fundamentals of modern VLSI devices*. Cambridge university press.

Lawrence, B., & Rubia, J. (2015). Review of Fin FET technology and circuit design challenges. *J. Eng. Res. Appl*, 5(121), 2248-962277..

Colinge, J. P. (Ed.). (2008). *FinFETs and other multi-gate transistors* (Vol. 73, p. 23). New York: Springer.

Hisamoto, D., Lee, W. C., Kedzierski, J., Takeuchi, H., Asano, K., Kuo, C., ... & Hu, C. (2000). FinFET—a self-aligned double-gate MOSFET scalable to 20 nm. *IEEE transactions on electron devices*, 47(12), 2320-2325.

Sairam, T., Zhao, W., & Cao, Y. (2007, March). Optimizing FinFET technology for high-speed and low-power design. In *Proceedings of the 17th ACM Great Lakes symposium on VLSI* (pp. 73-77).

Pal, R. S., Sharma, S., & Dasgupta, S. (2017, March). Recent trend of FinFET devices and its challenges: A review. In *2017 Conference on Emerging Devices and Smart Systems (ICEDSS)* (pp. 150-154). IEEE.

Basker, V. S., Standaert, T., Kawasaki, H., Yeh, C. C., Maitra, K., Yamashita, T., ... & O'Neill, J. (2010, June). A 0.063 μm^2 FinFET SRAM cell demonstration with conventional lithography using a novel integration scheme with aggressively scaled fin and gate pitch. In *2010 Symposium on VLSI Technology* (pp. 19-20). IEEE.

Nesamani, I. F. P., Divakaran, R. P., Prabha, V. L., & Sujith, M. B. (2014). Source drain engineering in FinFET—a review. *Int. J. Eng. Trends Technol.(IJETT)*, 8(9), 472-475.

Prathima, A., Bailey, K., & Gurumurthy, K. S. (2012). Impact of device parameters of triple gate soi-finfet on the performance of cmos inverter at 22nm. *International Journal of VLSI Design & Communication Systems*, 3(5), 79.

Alioto, M. (2010). Comparative evaluation of layout density in 3T, 4T, and MT FinFET standard cells. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 19(5), 751-762.

Collaert, N., Demand, M., Ferain, I., Lisoni, J., Singanamalla, R., Zimmerman, P., ... & Biesemans, S. (2005, June). Tall triple-gate devices with TiN/HfO₂/sub 2/gate stack. In *Digest of Technical Papers. 2005 Symposium on VLSI Technology, 2005.* (pp. 108-109). IEEE.

Bhattacharya, D., & Jha, N. K. (2014). FinFETs: From devices to architectures. *Advances in Electronics*, 2014(1), 365689.

Tanno, K., Ishizuka, O., & Tang, Z. (2000). Four-quadrant CMOS current-mode multiplier independent of device parameters. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 47(5), 473-477.

Naderi, A., Khoei, A., Hadidi, K., & Ghasemzadeh, H. (2009). A new high speed and low power four-quadrant CMOS analog multiplier in current mode. *AEU-International Journal of Electronics and Communications*, 63(9), 769-775.

Kerwin, W. J., Huelsman, L. P., & Newcomb, R. W. (1967). State-variable synthesis for insensitive integrated circuit transfer functions. *IEEE Journal of Solid-State Circuits*, 2(3), 87-92.

ÖZGEÇMİŞ

Ad Soyad: Elif Demirci

Yabancı Dil: İngilizce

Lisans: 2017-2021 İstanbul Medeniyet Üniversitesi
Elektrik Elektronik Mühendisliği Bölümü

Bildiri:

1. Demirci, E., & Keleş, S. (2023, April). Low Voltage FinFET Based OTA. In *2023 33rd International Conference Radioelektronika (RADIOELEKTRONIKA)* (pp. 1-6). IEEE.